



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11032055 A**(43) Date of publication of application: **02.02.99**

(51) Int. Cl.

H04L 12/28**G06F 12/02****G06F 13/00****H04Q 3/00**(21) Application number: **09188707**(22) Date of filing: **14.07.97**(71) Applicant: **FUJITSU LTD**

(72) Inventor: **NISHIMURA KAZUTO**
WAKIZAKA TAKAAKI
OKUDA MASAHIITO
TANAKA ATSUSHI
ISHIHARA TOMOHIRO

(54) **BUFFER CONTROLLER AND BUFFER
 CONTROL METHOD**

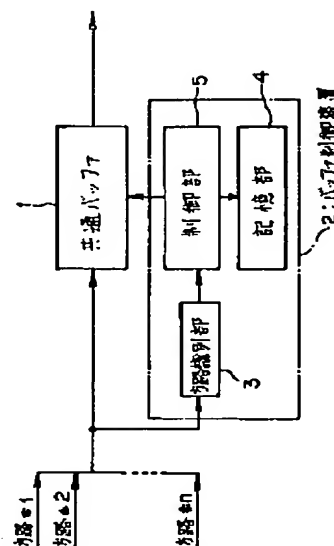
easily realized.

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To perform lowest band compensation, without increasing the capacity of a buffer and without complicating read control to the buffer by performing the storage control of a common buffer to use the common buffer virtually as an individual buffer.

SOLUTION: For this buffer controller 2, the route of reception data is identified in a route identification part 3, and based on the identified result and information for the storage position inside the common buffer 1 of the reception data stored in a storage part 4, a control part 5 performs control for storing in virtual manner the reception data inside the common buffer 1 for the respective routes. Since the reception data from the plural routes are virtually stored in virtual manner in the common buffer 1 for the respective routes, the common buffer 1 is used in virtual manner as the individual buffer provided for the respective routes. Thus, fixed buffering to all the routes is

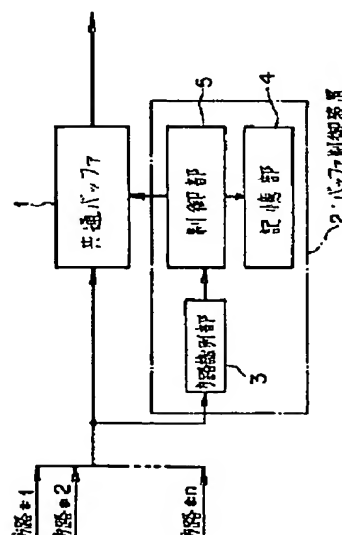


(11)特許出願公開番号

(43)公開日 平成11年(1999)2月2日

審査請求 未請求 請求項の数 40 OL (全 32 頁)

[最終頁に続く](#)



1

【特許請求の範囲】

【請求項 1】 複数の方路からの受信データを一時的に記憶する各方路に共通な共通バッファの記憶制御を行なうバッファ制御装置であって、

該受信データの方路を識別する方路識別部と、

少なくとも該受信データの該共通バッファ内の記憶位置についての情報を上記方路別に記憶する記憶部と、

該方路識別部での方路識別結果と該記憶部の上記記憶位置についての情報とに基づいて該受信データを仮想的に該共通バッファに方路別に記憶させるための制御を行なう制御部とをそなえたことを特徴とする、バッファ制御装置。

【請求項 2】 該記憶部が、

各方路別に、該受信データの該共通バッファ内でのアドレス情報を該受信データの記憶順にリンクして記憶するリンクメモリと、

該共通バッファへ最初に記憶された受信データのアドレス情報と最後に記憶された受信データのアドレス情報と受信データ量とをそれぞれ各方路別に記憶する方路別情報メモリと、

該共通バッファ内の空きアドレス情報を記憶する空きアドレス情報メモリとをそなえ、

該制御部が、

該方路識別部での該方路識別結果と該空きアドレス情報メモリの該空きアドレス情報とに基づいて、該受信データを該共通バッファの所定の空きアドレスに記憶させるとともに、当該空きアドレスに基づいて、該リンクメモリの上記リンク状態、該方路別情報メモリのアドレス情報、受信データ量、該空きアドレス情報メモリの空きアドレス情報をそれぞれ更新するように構成されていることを特徴とする、請求項 1 記載のバッファ制御装置。

【請求項 3】 該共通バッファの輻輳状態についての閾値を記憶する閾値記憶部をそなえるとともに、

該制御部が、

該閾値記憶部の該閾値に基づいて該共通バッファの輻輳状態を検出する輻輳状態検出部と、

該輻輳状態検出部で該輻輳状態が検出されると、上記方路毎に該受信データの該共通バッファへの記憶処理を制限しうる記憶処理制限部とをそなえたことを特徴とする、請求項 2 記載のバッファ制御装置。

【請求項 4】 該閾値記憶部が、

該共通バッファ内の総データ量についての総データ量閾値を記憶する総データ量閾値記憶部と、該共通バッファ内の上記の各方路について最低限保証すべきデータ量についての最低保証閾値を記憶する最低保証閾値記憶部とをそなえるとともに、

該輻輳状態検出部が、

該共通バッファ内の総データ量が該総データ量閾値を超えているか否かを判定する総データ量判定部をそなえ、該総データ量判定部において該共通バッファ内の総デー

2

タ量が該総データ量閾値を超えていると判定されると該輻輳状態を検出するように構成され、且つ、

該記憶処理制限部が、

該輻輳状態検出部にて該輻輳状態が検出されると該共通バッファ内で方路別のデータ量が該最低保証閾値を超えている方路が存在するか否かを判定する方路別データ量判定部をそなえ、

該方路別データ量判定部において該最低保証閾値を超えている方路が存在すると判定されると、その方路については新たな受信データの該共通バッファへの記憶処理を制限するように構成されていることを特徴とする、請求項 3 記載のバッファ制御装置。

【請求項 5】 該閾値記憶部が、

データ受信中であるアクティブ状態の方路の数についてのアクティブ方路数閾値を記憶するアクティブ方路数閾値記憶部と、該共通バッファ内で上記の各方路について最低限保証すべきデータ量についての最低保証閾値を記憶する最低保証閾値記憶部とをそなえるとともに、

該輻輳状態検出部が、

20 該アクティブ状態の方路数が該アクティブ方路数閾値を超えているか否かを判定するアクティブ方路数判定部をそなえ、

該アクティブ方路数判定部において該アクティブ状態の方路数が該アクティブ方路数閾値を超えていると判定されると該輻輳状態を検出するように構成され、且つ、該記憶処理制限部が、

該輻輳状態検出部にて該輻輳状態が検出されると該共通バッファ内で方路別のデータ量が該最低保証閾値を超えている方路が存在するか否かを判定する方路別データ量判定部をそなえ、

30 該方路別データ量判定部において該最低保証閾値を超えている方路が存在すると判定されると、その方路については新たな受信データの該共通バッファへの記憶処理を制限するように構成されていることを特徴とする、請求項 3 記載のバッファ制御装置。

【請求項 6】 該記憶処理制限部が、

該輻輳状態検出部において該輻輳状態が検出され或る方路について該共通バッファへの新たな受信データの記憶処理が制限されている場合でも、該共通バッファに既に記憶された該方路の受信データとともに 1 つのデータを形成する従属データについては該共通バッファへの記憶処理を許可するように構成されていることを特徴とする、請求項 4 または請求項 5 に記載のバッファ制御装置。

【請求項 7】 該制御部が、

該記憶部の上記記憶位置についての情報に基づいて、該共通バッファに仮想的に方路別に記憶された該受信データを読み出すための読み出し制御部をそなえたことを特徴とする、請求項 1 記載のバッファ制御装置。

50 【請求項 8】 該読み出し制御部が、

該受信データを各方路毎に所定の周期で読み出すように構成されていることを特徴とする、請求項 7 記載のバッファ制御装置。

【請求項 9】 該読み出し制御部が、
該共通バッファから読み出すべき受信データの方路を検索する検索部をそなえ、
該検索部が、
上記読み出すべき受信データが存在しない方路については検索をスキップするように構成されていることを特徴とする、請求項 7 記載のバッファ制御装置。

【請求項 10】 該検索部が、
各方路を複数のグループに分割し、該共通バッファから読み出すべき受信データが存在するグループを検索するグループ検索部と、
該グループ検索部にて検索された該グループ内において、該共通バッファから読み出すべき受信データの方路を検索する方路検索部とをそなえて構成されていることを特徴とする、請求項 9 記載のバッファ制御装置。

【請求項 11】 該記憶部が、
該共通バッファから読み出すべき第 1 読み出しデータ量を各方路毎に設定する第 1 読み出しデータ量設定部をそなえるとともに、
該読み出し制御部が、
該第 1 読み出しデータ量設定部の各第 1 読み出しデータ量に基づいて該共通バッファから該受信データを各方路毎に読み出すように構成されていることを特徴とする、請求項 7 記載のバッファ制御装置。

【請求項 12】 該読み出し制御部が、
該記憶部における該第 1 読み出しデータ量設定部の各第 1 読み出しデータ量に基づく読み出し制御を全方路について行なった後は、該共通バッファから該受信データを各方路毎に一定のデータ量で周期的に読み出すように構成されていることを特徴とする、請求項 11 記載のバッファ制御装置。

【請求項 13】 該記憶部が、
該第 1 読み出しデータ量設定部の各第 1 読み出しデータ量との和がそれぞれ全方路で同一となるように、該共通バッファから読み出すべき第 2 読み出しデータ量を各方路毎に設定する第 2 読み出しデータ量設定部をそなえるとともに、
該読み出し制御部が、
該第 1 読み出しデータ量設定部の各第 1 読み出しデータ量に基づいて該共通バッファからの該受信データの読み出し制御を全方路について行なった後は、該第 2 読み出しデータ量設定部の各第 2 読み出しデータ量に基づいて該共通バッファから該受信データを各方路毎に読み出すように構成されていることを特徴とする、請求項 11 記載のバッファ制御装置。

【請求項 14】 該読み出し制御部が、
該第 1 読み出しデータ量設定部の各第 1 設定データ量毎

にデータ読み出しタイミングを所定の間隔で出力する方路別タイマをそなえ、

該方路別タイマのタイミングに従って、該第 1 読み出しデータ量設定部の各第 1 読み出しデータ量分の該受信データを該共通バッファから各方路毎に読み出すように構成されていることを特徴とする、請求項 11～請求項 13 のいずれかに記載のバッファ制御装置。

【請求項 15】 該記憶部が、
該第 1 読み出しデータ量設定部の各第 1 読み出しデータ量毎にデータ読み出し間隔を規定するスケジューリングテーブルをそなえるとともに、
該読み出し制御部が、

該スケジューリングテーブルに基づいて、該第 1 読み出しデータ量設定部の各第 1 読み出しデータ量分の該受信データを該共通バッファから各方路毎に読み出すように構成されていることを特徴とする、請求項 11～請求項 13 のいずれかに記載のバッファ制御装置。

【請求項 16】 該第 1 読み出しデータ量設定部の該第 1 読み出しデータ量が外部から設定されうことを特徴とする、請求項 11～請求項 15 記載のバッファ制御装置。

【請求項 17】 該読み出し制御部が、
各方路を複数のグループに分割し、各グループ毎に該共通バッファの該受信データを読み出し制御を行なうことにより各グループに割り当てる帯域を制御する帯域割当制御部をそなえ、
該帯域割当制御部の制御により、各方路に割り当てる帯域を各グループ単位で設定しうるように構成されていることを特徴とする、請求項 7 記載のバッファ制御装置。

【請求項 18】 該記憶部が、
各方路を複数のグループに分割する方路分割情報を設定したグループテーブルをそなえるとともに、
該読み出し制御部が、
該グループテーブルの方路分割情報に基づいて、該共通バッファに対する該受信データの読み出し制御を所望のグループ毎に行なうように構成されていることを特徴とする、請求項 7 記載のバッファ制御装置。

【請求項 19】 該読み出し制御部が、
該第 1 読み出しデータ量設定部の各第 1 読み出しデータ量に基づいて該共通バッファから読み出される受信データについては他の受信データよりも優先度を高くする優先権を付与するように構成されていることを特徴とする、請求項 12 または請求項 13 に記載のバッファ制御装置。

【請求項 20】 該読み出し制御部が、
上記の優先権を付与する受信データが、従属データをともなう先頭データである場合には、該従属データにも該優先権を付与するように構成されていることを特徴とする、請求項 19 記載のバッファ制御装置。

【請求項 21】 該読み出し制御部が、

各方路毎の受信データ量についての平均値を検出する受信データ量平均値検出部と、

該受信データ量平均値検出部で検出された該平均値と該第 1 読み出しデータ量設定部の対応する第 1 読み出しデータ量とを比較する比較部と、

該比較部において該平均値が該第 1 読み出しデータ量よりも大きいと判定された場合に、該第 1 読み出しデータ量のうち他のデータよりも優先度を高くすべき優先データ量を計算する優先データ量計算部とをそなえ、

該優先データ量計算部での計算結果に基づいて、該共通バッファから読み出される受信データのうち上記の優先データ量に相当する分の受信データに優先権を付与するように構成されていることを特徴とする、請求項 1 1 記載のバッファ制御装置。

【請求項 2 2】 該読み出し制御部が、
該優先権を付与する受信データが従属データをとともう先頭データであるか否かを識別する先頭データ識別部をそなえ、

該先頭データ識別部において該優先権を付与する受信データが該先頭データであると識別された場合には、該従属データにも該優先権を付与するように構成されていることを特徴とする、請求項 2 1 記載のバッファ制御装置。

【請求項 2 3】 複数の方路からの受信データを一時的に記憶する各方路に共通な共通バッファの記憶制御を行なうためのバッファ制御方法であって、
該受信データを仮想的に方路別に該共通バッファへ記憶させることを特徴とする、バッファ制御方法。

【請求項 2 4】 該共通バッファが輻輳状態となると、
上記方路毎に該受信データの該バッファへの記憶処理を制限することを特徴とする、請求項 2 3 記載のバッファ制御方法。

【請求項 2 5】 該共通バッファ内の総データ量が所定量を超え該共通バッファが輻輳状態となると、該共通バッファ内で最低限保証すべきデータ量を超えている方路については新たな受信データの該共通バッファへの記憶処理を制限することを特徴とする、請求項 2 4 記載のバッファ制御方法。

【請求項 2 6】 該共通バッファへデータが到着しているアクティブ状態の方路の数が所定数を超え該共通バッファが該輻輳状態となると、該共通バッファ内で最低限保証すべきデータ量を超えている方路については新たな受信データの該共通バッファへの記憶処理を制限することを特徴とする、請求項 2 4 記載のバッファ制御方法。

【請求項 2 7】 或る方路について該共通バッファへの新たな受信データの記憶処理が制限されている場合でも、該共通バッファに既に記憶された該方路の受信データとともに 1 つのデータを形成する従属データについては該共通バッファへの記憶処理を許可することを特徴とする、請求項 2 5 または請求項 2 6 に記載のバッファ制

御方法。

【請求項 2 8】 該共通バッファに方路別に記憶された該受信データを各方路毎に所定の周期で読み出すことを特徴とする、請求項 2 3 記載のバッファ制御方法。

【請求項 2 9】 該共通バッファに方路別に記憶された該受信データを読み出すために該受信データの方路を検索する際、読み出すべき受信データが存在しない方路については検索をスキップすることを特徴とする、請求項 2 8 記載のバッファ制御方法。

【請求項 3 0】 該共通バッファから読み出すべき受信データの方路を検索する際、各方路を複数のグループに分割しておき、該受信データが存在する方路を含むグループを検索したのち、検索したグループ内において、該受信データの方路を検索することを特徴とする、請求項 2 9 記載のバッファ制御方法。

【請求項 3 1】 該共通バッファに記憶された該受信データを各方路毎に所定量分ずつ読み出すことを特徴とする、請求項 2 3 記載のバッファ制御方法。

【請求項 3 2】 該共通バッファに記憶された該受信データを各方路毎に所定量分ずつ読み出した後は、該共通バッファから該受信データを各方路毎に一定のデータ量で周期的に読み出すことを特徴とする、請求項 3 1 記載のバッファ制御方法。

【請求項 3 3】 該共通バッファに記憶された該受信データを各方路毎に所定量分ずつ読み出した後は、各方路の総読み出しデータ量がそれぞれ全方路について同一となるように、さらに該共通バッファから該受信データを所定量分ずつ読み出すことを特徴とする、請求項 3 1 記載のバッファ制御方法。

【請求項 3 4】 上記所定量分ずつ読み出される受信データはそれぞれ所定の間隔で読み出されることを特徴とする、請求項 3 1 ~ 請求項 3 3 のいずれかに記載のバッファ制御方法。

【請求項 3 5】 各方路を複数のグループに分割し、各グループ毎に該共通バッファの該受信データの読み出し制御を行なうことにより、各方路に割り当てる帯域を各グループ単位で設定しうることを特徴とする、請求項 2 4 記載のバッファ制御方法。

【請求項 3 6】 各方路を複数のグループに分割する方路分割情報に基づいて、該共通バッファに対する該受信データの読み出し制御を所望のグループ毎に行なうことを特徴とする、請求項 2 4 記載のバッファ制御方法。

【請求項 3 7】 上記所定量分ずつ読み出される受信データについては他の受信データよりも優先度を高くするよう優先権を付与することを特徴とする、請求項 3 2 または請求項 3 3 に記載のバッファ制御方法。

【請求項 3 8】 上記の優先権を付与する受信データが、従属データをとともう先頭データである場合には、該従属データにも該優先権を付与することを特徴とする、請求項 3 7 記載のバッファ制御方法。

【請求項 3 9】 各方路毎の受信データ量についての平均値が上記の所定量分ずつ読み出される受信データ量よりも大きい場合は、該受信データ量のうち他のデータよりも優先度を高くすべき優先データ量を計算し、その計算結果に基づいて、該共通バッファから読み出される受信データに所定の割合で優先権を付与することを特徴とする、請求項 3 1 記載のバッファ制御方法。

【請求項 4 0】 該優先権を付与する受信データが従属データをとまなう先頭データである場合には、該従属データにも該優先権を付与することを特徴とする、請求項 3 9 記載のバッファ制御方法。

【発明の詳細な説明】

【0 0 0 1】 (目次)

発明の属する技術分野

従来の技術 (図 3 6, 図 3 7)

発明が解決しようとする課題

課題を解決するための手段 (図 1)

発明の実施の形態 (図 2 ~ 図 3 5)

発明の効果

【0 0 0 2】

【発明の属する技術分野】本発明は、バッファ制御装置及びバッファ制御方法に関し、特に、A T M (Asynchronous Transfer Mode) 通信方式において扱われる固定長のデータ (A T M セル) のバッファリング部分に用いて好適なバッファ制御装置及びバッファ制御方法に関する。

【0 0 0 3】

【従来の技術】A T M 通信方式では、データ通信、電話通信などその通信の種類 (アプリケーション) 毎に異なる帯域を設定して通信を行なうことができる。例えば、データ通信における動画情報情報の伝送には数 M b p s ~ 数十 M b p s 程度、電話通信における音声情報情報の伝送には 6 4 k b p s 程度の帯域をそれぞれ設定する必要があるが、A T M 通信方式では、これらの様々な帯域の通信を、A T M 通信網内の A T M 交換機やセル集線装置などの A T M 通信装置において A T M セルレベルの統計多重を行なうことにより、高効率で収容して帯域の有効利用を図ることができるようになっている。

【0 0 0 4】ところで、上記の A T M 交換機やセル集線装置では、周知のように、A T M セルのヘッダ部分に格納されているセルの転送先情報に基づいて、入力セルを所望の転送先へ振り分けるという制御を行なうが、このとき、同じ転送先情報を有するセルが振り分け時に衝突してしまうことを防止するために、バッファを用いて入力セルを一時的に蓄積して各セルを少しずつずらして出力するセルの競合制御を行なうようになっている。

【0 0 0 5】例えば、図 3 6 に示すように、A T M 交換機 1 0 0 では、その交換機 1 0 0 が収容する複数の加入者端末からの A T M セルを多重部 1 0 1 で多重化したのち、一旦、共通バッファ (F I F O : First In First Out) 1 0 2 に蓄積して各セルの出力タイミングを調整

し、各セルを分離部 1 0 3 にて振り分けるという制御が行なわれる。

【0 0 0 6】しかしながら、この共通バッファ 1 0 2 を用いたタイプの A T M 交換機 1 0 0 では、特定の加入者端末が大量のデータ (A T M セル) を送信すると、共通バッファ 1 0 2 の記憶容量の大半をその加入者端末からのデータが占めてしまうことになるので、結果的に、他の加入者端末が利用できる帯域が極端に少なくなってしまう。

【0 0 0 7】これを解決するには、各端末あるいは各通信種類毎に帯域を確保すればよいのだが、バースト性の強いデータ通信においては、使用しない空き帯域が多くなってしまい確保した帯域を有効に利用することができない。そこで、従来より、基本的には各通信毎に帯域を保証しないが、最低限必要であろうと予想される帯域のみを保証する方式として個別バッファ方式と呼ばれる方式が考えられている。

【0 0 0 8】図 3 7 はこの個別バッファ方式を説明するためのブロック図であるが、この図 3 7 に示すように、A T M 交換機 1 0 0 ' は、図 3 6 に示すものと同様の多重部 1 0 1、分離部 1 0 3 を有するほか、入力方路 (あるいは A T M セルの V P (Virtual Path) / V C (Virtual Channel)) 毎に設けられた個別バッファ 1 0 4 と、これらの各個別バッファ 1 0 4 に対する A T M セルの書き込み / 読み出し処理を制御するバッファ制御装置として、方路識別部 1 0 5、読出制御部 1 0 6 とを有して構成されている。

【0 0 0 9】ここで、方路識別部 1 0 5 は、到着したセルのヘッダ部分からそのセルの方路 (又は V P / V C) を識別して適切な個別バッファ 1 0 4 へ振り分けるものであり、読出制御部 1 0 6 は、各個別バッファ 1 0 4 を所定の周期でポーリングすることにより、各個別バッファ 1 0 4 に記憶されたセルを順次読み出すものである。

【0 0 1 0】上述の構成により、この A T M 交換機 1 0 1 ' (バッファ制御装置) では、到着セルが方路識別部 1 0 5 により入力方路毎に、順次、個別バッファ 1 0 4 に記憶されたのち、読出制御部 1 0 6 によって、全個別バッファ 1 0 4 からセルが 1 つずつ読み出される。これにより、例えば、入力方路数が X (全個別バッファ 1 0 4 の数が X : ただし X は 2 以上の自然数) で、出力回線帯域が V であるとする、読出制御部 1 0 6 は、X 回に 1 回、各個別バッファ 1 0 4 に対してポーリングを行なうことになり、V / X だけの帯域が最低限保証されることになる。

【0 0 1 1】

【発明が解決しようとする課題】しかしながら、このような従来のバッファ制御装置 (個別バッファ方式) では、共通バッファ方式と同程度の性能 (最大許容帯域) を得るためには、各個別バッファ 1 0 4 の記憶容量を大幅に増加させるか、読出制御部 1 0 6 による読み出し制

御を高速化する必要があるが、いずれにしても、装置規模の増大や制御の複雑化を招いてしまう。

【0012】本発明は、このような課題に鑑み創案されたもので、共通バッファを仮想的に個別バッファとして使用できるように共通バッファの記憶制御を行なうことにより、バッファの容量を増大させることなく、又、バッファに対する読み出し制御を複雑化することなく、最低帯域保証を実現できるようにした、バッファ制御装置及びバッファ制御方法を提供することを目的とする。

【0013】

【課題を解決するための手段】図1は本発明の原理ブロック図で、この図1において、1は複数の方路#1～#n (nは2以上の自然数)からの受信データを一時的に記憶する各方路に共通な共通バッファ、2はこの共通バッファ1の記憶制御を行なうバッファ制御装置で、この図1に示すように、バッファ制御装置2は、さらに、方路識別部3、記憶部4および制御部5をそなえて構成されている。

【0014】ここで、方路識別部3は、受信データの方路を識別するものであり、記憶部4は、少なくとも上記の受信データの共通バッファ1内の記憶位置についての情報を方路#i (ただし、 $i = 1 \sim n$)別に記憶するものであり、制御部5は、方路識別部3での方路識別結果と記憶部4の上記記憶位置についての情報とに基づいて受信データを仮想的に共通バッファ1に方路#i別に記憶させるための制御を行なうものである。

【0015】上述のごとく構成された本発明のバッファ制御装置2では、受信データの方路が方路識別部3において識別され、その識別結果と記憶部4に記憶されているその受信データの共通バッファ1内の記憶位置についての情報とに基づいて、制御部5が、受信データを共通バッファ1内に仮想的に方路#i別に記憶させるための制御を行なう。これにより、複数の方路からの受信データは、仮想的に方路#i別に共通バッファ1に記憶される(請求項1、23)。

【0016】ここで、具体的に、上述の記憶部4は、例えば、各方路#i別に、受信データの共通バッファ1内でのアドレス情報を受信データの記憶順にリンクして記憶するリンクメモリと、共通バッファ1へ最初に記憶された受信データのアドレス情報と最後に記憶された受信データのアドレス情報と受信データ量とをそれぞれ各方路別に記憶する方路別情報メモリと、共通バッファ1内の空きアドレス情報を記憶する空きアドレス情報メモリとをそなえて構成される。

【0017】そして、この場合、制御部5は、方路識別部3での方路識別結果と上記の空きアドレス情報メモリの空きアドレス情報とに基づいて、受信データを共通バッファ1の所定の空きアドレスに記憶させるとともに、その空きアドレスに基づいて、上記のリンクメモリのリンク状態、方路別情報メモリのアドレス情報、受信デー

タ量、空きアドレス情報メモリの空きアドレス情報をそれぞれ更新するように構成される。

【0018】これにより、上述の制御部5では、どの方路#iからの受信データを共通バッファ1内のどのアドレスに記憶させたか、どの方路#iの受信データをどれだけ共通バッファ1に記憶させたかを常に把握しながら受信データを共通バッファ1に記憶させてゆくので、共通バッファ1では、複数の方路#iからの受信データが仮想的に方路#i別に記憶された状態となる(請求項2)。

【0019】また、本バッファ制御装置2は、共通バッファ1の輻輳状態についての閾値を記憶する閾値記憶部をそなえてもよく、この場合、制御部5は、例えば、この閾値記憶部の閾値に基づいて共通バッファ1の輻輳状態を検出する輻輳状態検出部と、この輻輳状態検出部で輻輳状態が検出されると、各方路#i毎に受信データの共通バッファ1への記憶処理を制限しうる記憶処理制限部とをそなえて構成される。

【0020】これにより、制御部5は、共通バッファ1に輻輳状態が発生すると、各方路#i毎に受信データの共通バッファ1への記憶処理を制限するので、一部の方路#iの受信データが他の方路#iの受信データよりも極端に多く共通バッファ1に記憶されることを防止することができる(請求項3、24)

なお、上記の閾値記憶部は、共通バッファ1内の総データ量についての総データ量閾値を記憶する総データ量閾値記憶部と、共通バッファ1内の上記の各方路#iについて最低限保証すべきデータ量についての最低保証閾値を記憶する最低保証閾値記憶部とをそなえてもよい。そして、この場合、上記の輻輳状態検出部は、共通バッファ1内の総データ量が上記の総データ量閾値を超えているか否かを判定する総データ量判定部をそなえ、この総データ量判定部において共通バッファ1内の総データ量が上記の総データ量閾値を超えていると判定されると上記の輻輳状態を検出するように構成される。さらに、上記の記憶処理制限部は、上記の輻輳状態検出部にて輻輳状態が検出されると共通バッファ1内で方路#i別のデータ量が上記の最低保証閾値を超えている方路が存在するか否かを判定する方路別データ量判定部をそなえ、上記の方路別データ量判定部において上記の最低保証閾値を超えている方路#iが存在すると判定されると、その方路#iについては新たな受信データの共通バッファ1への記憶処理を制限するように構成される。

【0021】これにより、上記の記憶処理制限部は、共通バッファ1内の総データ量が所定量を超え共通バッファ1が輻輳状態となると、共通バッファ1内で最低限保証すべきデータ量を超えている方路#iについては新たな受信データの共通バッファ1への記憶処理を制限することができるので、特定の方路#iの受信データが大量に共通バッファ1内に記憶され、他の方路#iの帯域が

保証されないという現象をより確実に防止することができる（請求項 4，25）。

【0022】また、上記の閾値記憶部は、データ受信中であるアクティブ状態の方路 # i の数についてのアクティブ方路数閾値を記憶するアクティブ方路数閾値記憶部と、共通バッファ 1 内で上記の各方路 # i について最低限保証すべきデータ量についての最低保証閾値を記憶する最低保証閾値記憶部とをそなえてもよい。この場合、上記の輻輳状態検出部は、アクティブ状態の方路数が上記のアクティブ方路数閾値を超えているか否かを判定するアクティブ方路数判定部をそなえ、このアクティブ方路数判定部においてアクティブ状態の方路数が上記のアクティブ方路数閾値を超えていると判定されると上記輻輳状態を検出するように構成される。そして、上記の記憶処理制限部は、上記の輻輳状態検出部にて上記輻輳状態が検出されると共通バッファ 1 内で方路 # i 別のデータ量が上記の最低保証閾値を超えている方路 # i が存在するか否かを判定する方路別データ量判定部をそなえ、この方路別データ量判定部において最低保証閾値を超えている方路 # i が存在すると判定されると、その方路 # i については新たな受信データの共通バッファ 1 への記憶処理を制限するように構成される。

【0023】これにより、上述の記憶処理制限部は、共通バッファ 1 へデータが到着しているアクティブ状態の方路 # i の数が所定数を超え共通バッファ 1 が輻輳状態となると、共通バッファ 1 内で最低限保証すべきデータ量を超えている方路 # i については新たな受信データの共通バッファ 1 への記憶処理を制限するので、より簡易的に、特定の方路 # i の受信データが大量に共通バッファ 1 内に記憶され、他の方路 # i の帯域が保証されないという現象を防止することができる（請求項 5，26）。

【0024】なお、上記の記憶処理制限部は、上記の輻輳状態検出部において輻輳状態が検出され或る方路 # i について共通バッファ 1 への新たな受信データの記憶処理が制限されている場合でも、共通バッファ 1 に既に記憶された方路 # i の受信データとともに 1 つのデータを形成する従属データについては共通バッファ 1 への記憶処理を許可するように構成してもよい。

【0025】これにより、記憶処理制限部は、或る方路 # i について共通バッファ 1 への新たな受信データの記憶処理が制限されていても、複数のデータで 1 つのデータを形成するデータの一部分が既に共通バッファ 1 に記憶されている場合は、残りのデータ（従属データ）を共通バッファ 1 に記憶させることができるので、1 つのデータとして扱われるべきデータの一部分が欠落してしまうことを防止することができる（請求項 6，27）。

【0026】ところで、上述の制御部 5 は、記憶部 4 の上記記憶位置についての情報に基づいて、共通バッファ 1 に仮想的に方路 # i 別に記憶された受信データを読み

出すための読み出し制御部をそなえてもよい。これにより、本バッファ制御装置 2 は、共通バッファ 1 に仮想的に方路 # i 別に記憶された受信データを各方路 # i 別に読み出すことができる（請求項 7）。

【0027】ここで、上述の読み出し制御部は、受信データを各方路 # i 毎に所定の周期で読み出すように構成してもよいので、全方路 # i について一定の帯域を最低限保証することができる（請求項 8，28）。また、この読み出し制御部は、共通バッファ 1 から読み出すべき受信データの方路 # i を検索する検索部をそなえ、この検索部が、上記読み出すべき受信データが存在しない方路については検索をスキップするように構成してもよい。これにより、本読み出し制御部は、読み出すべき受信データが存在しない方路について不要なデータを読み出すことがない（請求項 9，29）。

【0028】なお、上記の検索部は、各方路を複数のグループに分割し、共通バッファ 1 から読み出すべき受信データが存在するグループを検索するグループ検索部と、このグループ検索部にて検索されたグループ内において、共通バッファ 1 から読み出すべき受信データの方路 # i を検索する方路検索部とをそなえて構成してもよい。

【0029】これにより、上記の検索部は、共通バッファ 1 から読み出すべき受信データの方路 # i を検索する際、各方路 # i を複数のグループに分割しておき、受信データが存在する方路 # i を含むグループを検索したのち、検索したグループ内において、受信データの方路 # i を検索するので、階層的に、読み出すべき受信データの存在する方路 # i を検索することができる（請求項 10，30）。

【0030】また、上述の記憶部 4 には、共通バッファ 1 から読み出すべき第 1 読み出しデータ量を各方路 # i 毎に設定する第 1 読み出しデータ量設定部を設け、上記の読み出し制御部は、この第 1 読み出しデータ量設定部の各第 1 読み出しデータ量に基づいて共通バッファ 1 から受信データを各方路 # i 毎に読み出すように構成してもよい。

【0031】これにより、この読み出し制御部は、第 1 読み出しデータ量設定部の各第 1 読み出しデータ量に基づいて共通バッファ 1 から受信データを各方路 # i 毎に所定量分ずつ読み出すことができるので、各方路 # i に割り当てられる最低保証帯域を各方路 # i 毎に可変にすることが可能になる（請求項 11，31）。さらに、上述の読み出し制御部は、上記の記憶部 4 における第 1 読み出しデータ量設定部の各第 1 読み出しデータ量に基づく読み出し制御を全方路について行なった後は、共通バッファ 1 から受信データを各方路毎に一定のデータ量で周期的に読み出すように構成してもよい。

【0032】これにより、この読み出し制御部は、共通バッファ 1 に記憶された受信データを各方路 # i 毎に所

定量分ずつ読み出した後は、共通バッファ 1 から受信データを各方路 # i 毎に一定のデータ量で公平に読み出すことができる（請求項 1 2, 3 2）。また、上述の記憶部 4 には、上記の第 1 読み出しデータ量設定部の各第 1 読み出しデータ量との和がそれぞれ全方路 # i で同一となるように、共通バッファ 1 から読み出すべき第 2 読み出しデータ量を各方路 # i 毎に設定する第 2 読み出しデータ量設定部を設け、読み出し制御部は、上記の第 1 読み出しデータ量設定部の各第 1 読み出しデータ量に基づいて共通バッファ 1 からの受信データの読み出し制御を全方路 # i について行なった後は、上記の第 2 読み出しデータ量設定部の各第 2 読み出しデータ量に基づいて共通バッファ 1 から受信データを各方路 # i 毎に読み出すように構成してもよい。

【 0 0 3 3 】これにより、上記の読み出し制御部は、共通バッファ 1 に記憶された受信データを各方路 # i 毎に所定量分ずつ読み出した後は、各方路 # i の総読み出しデータ量がそれぞれ全方路 # i について同一となるように、さらに共通バッファ 1 から受信データを各方路 # i 毎に所定量分ずつ読み出すことができる（請求項 1 3, 3 3）。

【 0 0 3 4 】さらに、上述の読み出し制御部は、上記の第 1 読み出しデータ量設定部の各第 1 設定データ量毎にデータ読み出しタイミングを所定の間隔で出力するタイマをそなえ、このタイマのタイミングに従って、上記の第 1 読み出しデータ量設定部の各第 1 読み出しデータ量分の受信データを共通バッファ 1 から各方路 # i 毎に読み出すように構成してもよい。

【 0 0 3 5 】これにより、この読み出し制御部は、上記のタイマの動作によって、上記所定量分ずつ読み出す受信データをそれぞれ所定の間隔で読み出すことができる（請求項 1 4, 3 4）。また、上述の記憶部 4 には、第 1 読み出しデータ量設定部の各第 1 読み出しデータ量毎にデータ読み出し間隔を規定するスケジューリングテーブルを設け、読み出し制御部は、このスケジューリングテーブルに基づいて、上記の第 1 読み出しデータ量設定部の各第 1 読み出しデータ量分の受信データを共通バッファ 1 から各方路 # i 毎に読み出すように構成してもよい。

【 0 0 3 6 】これにより、この読み出し制御部は、共通バッファ 1 から各方路 # i 毎に受信データを所定量分ずつ読み出す際、上記のスケジューリングテーブルで規定されている読み出し間隔に従って、各方路 # i 毎に受信データを読み出すことができる（請求項 1 5, 3 4）。なお、上記の第 1 読み出しデータ量設定部の第 1 読み出しデータ量は外部から設定してもよいので、任意に、共通バッファ 1 から 1 度に読み出すべきデータ量を各方路 # i 毎に変更して各方路 # i に割り当てる帯域を変更することができる（請求項 1 6）。

【 0 0 3 7 】さらに、上記の読み出し制御部は、各方路

i を複数のグループに分割し、各グループ毎に共通バッファ 1 の受信データを読み出し制御を行なうことによって各グループに割り当てる帯域を制御する帯域割当制御部をそなえ、この帯域割当制御部の制御により、各方路に割り当てる帯域を各グループ単位で設定しうるように構成してもよい。

【 0 0 3 8 】これにより、この読み出し制御部は、各方路 # i に割り当てる帯域を各グループ単位で設定することが可能になり、1 度の設定で複数の方路 # i に同じ帯域を割り当てることができる（請求項 1 7, 3 5）。また、上述の記憶部 4 には、各方路 # i を複数のグループに分割する方路分割情報を設定したグループテーブルを設け、読み出し制御部は、このグループテーブルの方路分割情報に基づいて、共通バッファ 1 に対する受信データの読み出し制御を所望のグループ毎に行なうように構成してもよい。

【 0 0 3 9 】これにより、この読み出し制御部は、共通バッファ 1 に対する受信データの読み出し制御を上記の方路分割情報により分割された任意のグループ毎に行なうので、方路分割情報の設定により、柔軟にグループの方路構成を変更してそのグループ単位で受信データの読み出し制御を行なうことができる（請求項 1 8, 3 6）。

【 0 0 4 0 】さらに、上述の読み出し制御部は、上記の第 1 読み出しデータ量設定部の各第 1 読み出しデータ量に基づいて共通バッファ 1 から読み出される受信データについては他の受信データよりも優先度を高くする優先権を付与するように構成してもよい。これにより、この読み出し制御部は、上記の第 1 読み出しデータ量に基づいて共通バッファ 1 から読み出される受信データ、つまり、最低限保証すべき帯域分の受信データについては、処理途中で廃棄されてしまったりしないようその優先度を高くすることができる（請求項 1 9, 3 7）。

【 0 0 4 1 】なお、上記の優先権を付与する受信データが、従属データをともなう先頭データである場合には、上記の従属データにも上記の優先権を付与するようにしてもよい。これにより、先頭データとともに 1 つのデータを形成すべき従属データが誤って廃棄されることを防止することが可能になる（請求項 2 0, 3 8）。また、上記の読み出し制御部は、各方路 # i 毎の受信データ量についての平均値を検出する受信データ量平均値検出部と、この受信データ量平均値検出部で検出された平均値と上記の第 1 読み出しデータ量設定部の対応する第 1 読み出しデータ量とを比較する比較部と、この比較部において上記の平均値が上記の第 1 読み出しデータ量よりも大きいと判定された場合に、上記の第 1 読み出しデータ量のうち他のデータよりも優先度を高くすべき優先データ量を計算する優先データ量計算部とをそなえ、この優先データ量計算部での計算結果に基づいて、共通バッファ 1 から読み出される受信データのち上記の優先データ

10

20

30

40

50

量に相当する分の受信データに優先権を付与するように構成してもよい。

【0042】これにより、この読み出し制御部は、上記の所定量分ずつ読み出される受信データ量のうち最低保証帯域分の受信データの処理優先度を高くすることができる（請求項21、39）。さらに、上記の読み出し制御部は、上記の優先権を付与する受信データが従属データをともなう先頭データであるか否かを識別する先頭データ識別部をそなえ、この先頭データ識別部において上記の優先権を付与する受信データが先頭データであると識別された場合には、従属データにも上記の優先権を付与するように構成してもよい。

【0043】これにより、この読み出し制御部は、先頭データと従属データとで形成される1つのデータ内の各受信データの処理優先度を同一レベルに設定することができ、この場合も、先頭データとともに1つのデータを形成すべき従属データが誤って廃棄されることを防止することが可能になる（請求項22、40）。

【0044】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を説明する。図2は本発明の一実施形態としてのバッファ制御装置が適用されるATM通信網の一例を示すブロック図で、この図2において、11はそれぞれ加入者端末、12はLAN(Local Area Network)、13は集線装置、14はそれぞれATM交換機で、各加入者端末11あるいはLAN12から送出されたATMセルが、集線装置13にて多重処理を施され、ATM交換機14にて多重分離処理（交換）処理を施されて所望の転送先へ伝送されるようになっている。

【0045】このため、集線装置13は、基本的に、各加入者端末11あるいはLAN12などの複数の方路からのATMセルを多重化する多重化部（mux）15と、この多重化部15で多重化されたセルを各方路共通に一時的に蓄積する共通バッファ16とを有して構成され、ATM交換機14は、集線装置13におけるものと同様の多重化部15及び共通バッファ16を有するほか、多重化部15で多重化されたセルを分離する分離部（dmux）17を有して構成されている。

【0046】そして、本実施形態では、上述のように共通バッファ16を有する箇所に、それぞれ共通バッファ16に対する記憶制御を行なうバッファ制御装置18が設けられており、各バッファ制御装置18は、さらに、図3に示すように、方路識別部19、記憶部20および制御部21をそなえて構成されている。ここで、方路識別部19は、到着した受信データとしてのATMセルの方路（α、βなど）を識別するもので、本実施形態では、ATMセルのヘッダ部分に格納されているVP I / VC Iを読み取ることにより、VP / VCを上記の方路として識別するようになっている。

【0047】また、記憶部20は、少なくとも受信AT

Mセルの共通バッファ16内の記憶位置についての情報を上記の方路（VP / VC）別に記憶するもので、本実施形態では、図3に示すように、次ポインタチェーン格納メモリ20a、方路別アドレス情報メモリ20b及び空きアドレス情報メモリ20cを有して構成されている。

【0048】ここで、次ポインタチェーン格納メモリ（リンクメモリ）20aは、各方路別に、受信ATMセルの共通バッファ16内でのアドレス情報をATMセルの記憶順にリンクして記憶するもので、ここでは、図4に示すように、共通バッファ16と同一のアドレスフィールドを有し、例えば、アドレスA→アドレスEの順に或る方路のATMセルが共通バッファ16に記憶されると、自己のアドレスAに次に記憶されたATMセルの記憶位置がアドレスEであることを示すポインタを格納して方路別のポインタチェーン（リンク）を作成するようになっている。

【0049】なお、本実施形態では、共通バッファ16内に記憶されたATMセルのアドレスだけでなく、共通バッファ16内の空きアドレスについても同様に方路別のポインタチェーンが作成されるようになっている。さらに、方路別情報メモリ20bは、図4に示すように、共通バッファ16へ最初に記憶されたATMセルのアドレス情報（先頭アドレス）と最後に記憶されたATMセルのアドレス情報（最後尾アドレス）と受信データ量としてのATMセル数（セル数カウンタ値）とをそれぞれ各方路別に記憶するものである。

【0050】また、空きアドレス情報メモリ20cは、共通バッファ16内の空きアドレス情報を記憶するもので、本実施形態では、図4に示すように、共通バッファ16内の空きアドレスの先頭／最後尾および空きアドレス数をそれぞれ記憶できるようになっている。そして、上述の制御部21は、方路識別部19での方路識別結果と記憶部20に記憶されている共通バッファ16内のATMセルの記憶位置についての情報とに基づいて、受信ATMセルを仮想的に共通バッファ16に方路別に記憶させるための制御を行なう一方、記憶部20に記憶されている共通バッファ16内のATMセルの記憶位置についての情報に基づいて、共通バッファ16内に記憶されているATMセルを読み出すための制御を行なうもので、図3に示すように、読み出し制御部22を有している。

【0051】具体的に、この制御部21は、本実施形態では、方路識別部19での方路識別結果と空きアドレス情報メモリ20cの空きアドレス情報とに基づいて、受信ATMセルを共通バッファ16の所定の空きアドレスに記憶させるとともに、その空きアドレスに基づいて、次ポインタチェーン格納メモリ20aのアドレスリンク状態、方路別情報メモリ20bのアドレス情報、セル数カウンタ値、空きアドレス情報メモリ20cの空きアド

10

20

30

40

50

レス情報をそれぞれ更新するようになっている。

【 0 0 5 2 】例えば、図 4 において、方路 # 1 のセルが到着した場合、制御部 2 1 は、まず、空きアドレス情報メモリ 2 0 c の先頭アドレスを参照する。今、先頭アドレスは X であるから、制御部 2 1 は、共通バッファ 1 6 のアドレス X に到着したセルを格納する。そして、制御部 2 1 は、次ポインタチェーン格納メモリ 2 0 a のアドレス X に格納されているポインタが指すアドレスがアドレス Y であることから、空きアドレス情報メモリ 2 0 c の先頭アドレス X を Y に更新するとともに、方路別情報メモリ 2 0 b の方路 # 1 の最後尾アドレス E をアドレス X に更新し、次ポインタチェーン格納メモリ 2 0 a のアドレス E にアドレス X を指すポインタを格納する。

【 0 0 5 3 】なお、読み出し制御部 2 2 は、方路別情報メモリ 2 0 b の先頭アドレスを参照して、共通バッファ 1 6 の該当するアドレスからセルを抜き取り、抜き取ったセルのアドレスに基づいて、次ポインタチェーン格納メモリ 2 0 a のアドレスリンク状態、方路別情報メモリ 2 0 b のアドレス情報、セル数カウンタ値、空きアドレス情報メモリ 2 0 c の空きアドレス情報をそれぞれ更新するようになっている。

【 0 0 5 4 】例えば、図 4 において、方路 # 1 からセルを送出する場合、読み出し制御部 2 2 は、方路別情報メモリ 2 0 b の方路 # 1 の先頭アドレスを参照する。今、先頭アドレスがアドレス A であるから、読み出し制御部 2 2 は、共通バッファ 1 6 内の先頭アドレスであるアドレス A に格納されているセルを送出させる。すると、読み出し制御部 2 2 は、方路別情報メモリ 2 0 b の先頭アドレス X を次ポインタチェーン格納メモリ 2 0 a のアドレス A に格納されているポインタが指すアドレス E に更新するとともに、空きアドレス情報メモリ 2 0 c の最後尾アドレス K をアドレス A に更新し、且つ、次ポインタチェーン格納メモリ 2 0 a のアドレス K にアドレス A を指すポインタを格納する。

【 0 0 5 5 】つまり、本制御部 2 1 は、どの方路からの受信 A T M セルを共通バッファ 1 6 内のどのアドレスに記憶させたか、どの方路の受信 A T M セルをどれだけ共通バッファ 1 6 に記憶させたかを常に把握しながら A T M セルを共通バッファ 1 6 に記憶させてゆくことにより、複数の方路からの受信 A T M セルを仮想的に方路別に共通バッファ 1 6 に記憶することができるとともにその読み出し制御も容易に行なえるようになっているのである。

【 0 0 5 6 】ところで、上述の制御部 2 1 は、本実施形態では、共通バッファ 1 6 が輻輳状態になると、各方路毎のセル数を参照して、最低限保証すべきセル数を超えている方路については新たなセルの記憶を制限するようになっている。このため、制御部 2 1 は、図 5 に示すように、上述の読み出し制御部 2 2 以外に、輻輳状態検出部 2 3、共通／個別切り替え制御部 2 4 及び方路情報更

新部 2 5 をそなえて構成され、記憶部 2 0 は、上述の次ポインタチェーン格納メモリ 2 0 a、方路別情報メモリ 2 0 b 及び空きアドレス情報メモリ 2 0 c 以外に、閾値メモリ 2 0 d が設けられた構成となっている。

【 0 0 5 7 】ここで、記憶部 2 0 の閾値メモリ（閾値記憶部）2 0 d は、共通バッファ 1 6 の輻輳状態についての閾値を記憶するもので、本実施形態では、この図 5 に示すように、共通バッファ 1 6 内の総セル数（総データ量）についての総セル数閾値（図 7 参照）を記憶する総セル数閾値メモリ（総データ量閾値記憶部）2 0 e と、共通バッファ 1 6 内の上記の各方路について最低限保証すべきセル数についての方路別閾値（最低保証閾値：図 7 参照）を記憶する方路別閾値メモリ（最低保証閾値記憶部）2 0 f とが設けられている。

【 0 0 5 8 】また、輻輳状態検出部 2 3 は、上述の閾値メモリ 2 0 d の閾値に基づいて共通バッファ 1 6 の輻輳状態を検出するもので、この場合は、共通バッファ 1 6 内の総セル数が総セル数閾値メモリ 2 0 e の総セル数閾値を超えて、共通バッファ 1 6 内の残り容量が所定値以下になると、上記の輻輳状態を検出するようになっている。

【 0 0 5 9 】このため、本輻輳状態検出部 2 3 は、図 5 に示すように、総セル数閾値参照部 2 3 a と比較部 2 3 b とをそなえて構成されている。ここで、総セル数閾値参照部 2 3 a は、総セル数閾値メモリ 2 0 d から総セル数閾値を読み出すものであり、比較部（総データ量判定部）2 3 b は、この総セル数閾値参照部 2 3 a により読み出された総セル数閾値と空きアドレス情報メモリ 2 0 c の空きアドレス数から得られる共通バッファ内 1 6 の総セル数とを比較して、共通バッファ 1 6 内の総セル数が総データ量閾値を超えているか否かを判定するもので、ここでは、総セル数が総データ量閾値を超えていると共通バッファ 1 6 が輻輳状態であるものとして、トリガ信号を共通／個別切り替え制御部 2 4 へ供給するようになっている。

【 0 0 6 0 】また、共通／個別切り替え制御部 2 4 は、記憶部 2 0 の各メモリ 2 0 a ~ 2 0 c の情報を意識するか否かで共通バッファ 1 6 を仮想的に個別バッファとして使用するか共通バッファ 1 6 として使用するかを制御するもので、本実施形態では、上記のトリガ信号が輻輳状態検出部 2 3 から供給されると、各メモリ 2 0 a ~ 2 0 c の情報を意識することにより、例えば図 6 に模式的に示すように、共通バッファ 1 6 を仮想的に個別バッファに切り替え、上記のトリガ信号が解除されると、元の共通バッファ 1 6 に切り替えるようになっている。

【 0 0 6 1 】そして、この共通／個別切り替え制御部 2 4 は、図 5 に示すように、上記のトリガ信号が供給されると方路別閾値メモリ 2 0 f の方路別閾値と共通バッファ 1 6 内の方路毎のセル数とを比較することにより、方路別のセル数が方路別閾値を超えている方路（輻輳方

10

20

30

40

50

路)が存在するか否かを判定する比較部(方路別データ量判定部)24aを有しており、この比較部24aにおいて上記の輻輳方路が存在すると判定されると、その方路については新たなセルのバッファリング(記憶処理)を制限する(バッファリングの優先度を下げる)ようになっている。

【0062】つまり、この共通/個別切り替え制御部24は、輻輳状態検出部23で共通バッファ16の輻輳状態が検出されると、方路毎に受信セルの共通バッファ16への記憶処理を制限しうる記憶処理制限部としての機能を果たしている。なお、方路情報更新部25は、方路識別部19の方路識別結果に応じて、方路別情報メモリ20bの記憶情報を順次更新するものである。

【0063】これにより、本バッファ制御装置18は、輻輳状態検出部23でトリガ信号が生成されていない場合は、方路の別なく共通バッファ16へセルのバッファリングを行なうが、トリガ信号が生成されると、上記の方路別閾値を超えてセルが蓄積されている輻輳方路に対して、バッファリングの優先度を下げる。この結果、共通バッファ16の輻輳時には、高レート of セルが優先的に廃棄され、全ての方路に対して一定のバッファリングと最低帯域とが保証される。

【0064】このように、本実施形態のバッファ制御装置18(バッファ制御方法)によれば、複数の方路からのセルを仮想的に方路別に共通バッファ16に記憶することができるので、共通バッファ16を各方路毎に設けられた個別バッファとして仮想的に使用することができる。従って、全方路に対する一定のバッファリングを容易に実現でき、これにより、バッファ16の容量を増大させることなく、各方路に最低限必要な帯域を確実に保証することが可能になる。

【0065】また、上述のバッファ制御装置18では、共通バッファ16内の総セル数が所定数を超えると、共通バッファ16内で最低限保証すべきセル数を超えている方路については新たなセルの共通バッファ16への記憶処理を制限するので、特定の方路のセルが大量に共通バッファ16内に記憶され、他の方路の帯域が保証されないという現象をより確実に防止することができ、確実に、全方路に対する最低帯域保証を行なうことができる。

【0066】ところで、上述の制御部21における輻輳状態検出部23は、共通バッファ16内の総セル数が総セル数閾値を超えることでトリガ信号を生成するようになっているが、例えば、セルが到着しているアクティブな方路数が或る閾値を超えることで上記のトリガ信号を生成するようにしてもよい。この場合は、図8に示すように、輻輳状態検出部23が、アクティブ方路数カウンタ23c及び比較部23dを有して構成され、閾値メモリ20dが、アクティブ方路数閾値メモリ20gを有して構成され、共通/個別切り替え制御部24が、比較部

24bを有して構成される。なお、この図8において、図5に示す符号と同一符号を付した部分はそれぞれ図5により前述したものと同様のものである。

【0067】ここで、上述のアクティブ方路数閾値メモリ(アクティブ方路数閾値記憶部)20gは、セルが到着している(データ受信中の)アクティブな方路の数についての閾値(アクティブ方路数閾値)を記憶するものであり、アクティブ方路数カウンタ23cは、方路識別部19での方路識別結果に基づいて、アクティブ方路数をカウントするものである。

【0068】また、輻輳状態検出部23の比較部(アクティブ方路数判定部)23dは、このアクティブ方路数カウンタ23cで得られたアクティブ方路数とアクティブ方路数閾値メモリ20gの閾値とを比較することにより、アクティブ状態の方路数が上記のアクティブ方路数閾値を超えているか否かを判定するもので、アクティブ状態の方路数が上記のアクティブ方路数閾値を超えていると、トリガ信号を切り替え制御部24へ出力するようになっている。

【0069】さらに、共通/個別切り替え制御部24の比較部24bは、上記のトリガ信号が比較部23dから供給されると、方路別閾値メモリ20fの方路別閾値と共通バッファ16内の方路毎のセル数とを比較することにより、方路別のセル数が方路別閾値を超えている方路(輻輳方路)が存在するか否かを判定するもので、この比較部24bにおいて上記の輻輳方路が存在すると判定されると、この場合も、その方路に対する新たなセルのバッファリングの優先度が下げられるようになっている。

【0070】これにより、この場合も、輻輳状態検出部23でトリガ信号が生成されていないときは、方路の別なく共通バッファ16へセルのバッファリングが行なわれるが、トリガ信号が生成されると、共通バッファ16が仮想的に個別バッファに切り替えられて、上記の方路別閾値を超えてセルが蓄積されている輻輳方路に対してはバッファリングの優先度が下げられ、全ての方路に対して一定のバッファリングと最低帯域とが保証される。

【0071】なお、アクティブ方路数が上記のアクティブ方路数閾値を下回ると上記のトリガ信号は解除され、共通/個別切り替え制御部24は、仮想個別バッファから共通バッファ16への切り替えを行なう。ところで、上述の総セル数閾値メモリ20eに設定する総セル数閾値あるいはアクティブ方路数閾値メモリ20gに設定するアクティブ方路数閾値は、EPD(Early Packet Discard)起動閾値(図9参照)として設定し、方路別閾値メモリ20dに設定する方路別閾値は方路別EPD閾値(図9参照)として設定してもよい。

【0072】ここで、上記のEPDとは、共通バッファ16内の総セル数が或る閾値を超えた状態において、新たに到着したパケットに属するATMセルを全て廃棄す

10

20

30

40

50

る制御を行なうことを表す。これにより、共通バッファ 16 の総セル数（又は、アクティブ方路数）が上記 E P D 起動値以下の場合、コネクションに関係なく到着したセルは共通バッファ 16 に書き込まれるが、総セル数（又は、アクティブ方路数）が E P D 起動閾値を超えた場合、上記方路別 E P D 閾値を超えている方路に対して E P D が起動され、切り替え制御部 24 が、その方路において到着する新たなバケットに属するセルの受付を拒否してセル廃棄を行なう。

【0073】ただし、総セル数が E P D 起動値を超えている場合（輻輳状態検出部 23 において共通バッファ 16 の輻輳状態が検出され或る方路について共通バッファ 16 への新たな受信データの記憶処理が制限されている場合）でも、共通バッファ 16 に既に記憶されたその方路のセルとともに同一のバケットを形成するセルについては共通バッファ 16 への記憶処理を許可する。

【0074】従って、1つのデータとして扱われるべきバケット内のセルの一部が欠落してしまうことを防止することができるので、バッファリングの信頼性の向上に大いに寄与する。次に、以下では、上述の読み出し制御部 22 の詳細について説明する。本実施形態の読み出し制御部 22 は、図 10 に示すように、検索部 31 a 及び読み出し部 31 b を有している。ここで、この検索部 31 は、共通バッファ 16 から読み出すべきセルの方路を検索するもので、本実施形態では、記憶部 20 の方路別情報メモリ 20 b の記憶情報〔方路別セル数（セル数カウンタ値）：図 4 参照）を参照して、セル数カウンタ値が“0”以外の値となっている方路を検索することにより、読み出すべきセルの方路（方路番号）を検索するようになっている。なお、方路別情報メモリ 20 b のセル数カウンタ値が“0”である方路（共通バッファ 16 から読み出すべきセルが存在しない方路）については検索をスキップするようになっている。

【0075】また、読み出し部 31 b は、この検索部 31 a により得られた方路番号に基づいて方路別情報メモリ 20 b の方路別情報を参照して、該当方路番号の最初に読み出すべきセルの共通バッファ 16 内の格納位置（アドレス）を取得し、そのアドレスに格納されているセルを共通バッファ 16 から抜き取り送出させるものである。

【0076】これにより、本読み出し制御部 22 では、検索部 31 a が、方路別情報メモリ 20 b のセル数カウンタ値が“0”以外の値となっている読み出すべきセルが存在する方路を検索し、読み出し部 31 b が、その方路の最初に読み出すべきセルのアドレス（先頭アドレス：図 4 参照）を方路別情報メモリ 20 b から得る。そして、読み出し部 31 b は、その先頭アドレスが示す共通バッファ 16 のアドレスからセルを 1 つ抜き取って出力する。

【0077】以下、同様に、読み出すべきセルが存在す

る方路を検索して、共通バッファ 16 内に仮想的に方路別に記憶されたセルを各方路毎に 1 つずつ読み出してゆくことにより、所定の周期で共通バッファ 16 からセルを読み出す。なお、このとき、方路別情報メモリ 20 b のセル数カウンタ値が“0”である方路（共通バッファ 16 から読み出すべきセルが存在しない方路）については、検索をスキップすることにより読み出し処理をスキップする（空きセルなどの余分なデータは出力しない）。

【0078】この結果、例えば、図 11 に示すように、全方路数を m 、出力回線帯域を V とすると、基本的に、各方路のセルは順番に読み出されるため、最低でも（全方路について読み出すべきセルが存在する場合） V/m の帯域が各方路 m に対して保証され、読み出すべきセルが存在しない方路が n （ただし、 n は m 未満の自然数）個存在すれば、 $V/(m-n)$ の帯域が各方路 m に対して保証される。

【0079】このように、本読み出し制御部 22 は、検索部 31 a が、読み出すべきセルが存在しない方路については検索をスキップすることにより、読み出すべきセルが存在しない方路について空きセルなどの不要なデータを読み出すことがないので、方路毎の読み出すべきセルの有無に応じて出力帯域 V を可変にすることができ、より多くの帯域を各方路に対して保証することが可能になる。

【0080】次に、上述の検索部 31 a の詳細について説明する。図 12 は検索部 31 a の詳細構成を示すブロック図で、この図 12 に示すように、検索部 31 a は、入力方路数 m （ただし、ここでは $m=256$ とする）分のフリップフロップ（F F）回路 32、16 個の 16 入力 O R 回路 33、16 入力セクタ 34、36、38（S E L 1 ~ 3）、4 ビットカウンタ 35、37 およびセトリセットフリップフロップ（S R F F）回路 39 をそなえて構成されている。

【0081】ここで、各 F F 回路 32 は、それぞれ、上記の方路別情報メモリ 20 b のセル数カウンタ値が“0”以外のときに“H”レベルパルスを出力する（O N 状態となる）ものであり、各 16 入力 O R 回路 33 は、それぞれ、上記の F F 回路 32 の出力を 16 本ずつ集線して（つまり、各 F F 回路 32 は 16 個ずつ 16 グループに分割されている）、これらの 16 入力のいずれかもしくは全てが O N 状態となると O N 状態となるものである。

【0082】また、16 入力セクタ 34（S E L 1）は、各 O R 回路 36 の出力のうち O N 状態となっているものを検索（選択）するもので、本実施形態では、4 ビットカウンタ 35 の出力（カウンタ値 $Sa[3..0]$ ）により“0000”から順に 16 個の入力がサーチされ、サーチ中に O N 状態の入力が検出されると、その出力が O N 状態となり、S R F F 回路 39 を O N 状態にして 4 ビッ

10

20

30

40

50

トカウンタ 3 4 の動作を停止させる（そのときのカウンタ値 Sa[3..0] を保持する）ようになっている。

【 0 0 8 3 】 また、各 1 6 入力セクタ 3 6 (S E L 2) は、それぞれ、自己が集線している 1 6 個の F F 回路 3 2 の出力のうち O N 状態となっているものを検索（選択）するもので、上記のセクタ 3 4 と同様に、4 ビットカウンタ 3 7 の出力（カウンタ値 Sb[3..0]）により “ 0 0 0 0 ” から順に 1 6 個の入力がサーチされ、サーチ中に O N 状態の入力が検出されると、その出力が O N 状態になるようになっている。

【 0 0 8 4 】 さらに、1 6 入力セクタ 3 8 (S E L 3) は、上記の各セクタ 3 6 (S E L 2) の出力のうち O N 状態となっているものを検索（選択）するもので、ここでは、O N 状態の入力が、4 ビットカウンタ 3 5 のカウンタ値 Sa[3..0] と一致すると、その出力が O N 状態となり、S R F F 回路 3 9 の出力を O N 状態にして 4 ビットカウンタ 3 7 の動作を停止させる（そのときのカウンタ値 Sb[3..0] を保持する）ようになっている。

【 0 0 8 5 】 上述のごとく構成された検索部 3 1 a では、上記 1 6 グループ内において、1 つでも F F 回路 3 2 が O N 状態になると、その F F 回路 3 2 を集線している O R 回路 3 3 の出力が O N 状態となり、セクタ 3 4 に O N が入力される。セクタ 3 4 は、4 ビットカウンタ 3 5 により、“ 0 0 0 0 ” から順に 1 6 入力をサーチし、サーチ中に O N 状態の入力を検出すると、O N を出力し S R F F 回路 3 9 をセットする。これにより、4 ビットカウンタ 3 5 のカウント動作が停止し、そのときのカウンタ値 Sa[3..0] が保持された状態となる。

【 0 0 8 6 】 次に、上述のごとく 4 ビットカウンタ 3 5 のカウント動作が停止すると、各グループ内のセクタ 3 6 においても、同様に、4 ビットカウンタ 3 7 によって、“ 0 0 0 0 ” から順に 1 6 入力がサーチされ、O N 状態の入力が検出されると、カウンタ 3 7 のカウント動作が停止し、該当するセクタ 3 6 から O N が出力される。

【 0 0 8 7 】 セクタ 3 6 から O N が出力されるとセクタ 3 8 に O N が入力されるが、このとき、セクタ 3 8 において O N 状態の入力が、4 ビットカウンタ 3 5 の出力（カウンタ値 Sa[3..0]）と一致すれば、セクタ 3 8 から O N が出力され、S R F F 回路 3 9 が O N になる。このときのカウンタ 3 5 の 4 ビットのカウンタ値 Sa[3..0] とカウンタ 3 7 の 4 ビットのカウンタ値 Sb[3..0] との計 8 ビットの値が読み出すべきセルが存在する方路番号を示す。

【 0 0 8 8 】 そして、読み出し制御部 2 2 は、読み出し部 3 1 b によって、上述のごとく検索部 3 1 a によって得られた方路番号を基に、方路別情報メモリ 2 0 b を参照して、読み出すべきセルの先頭アドレスを取得し、その先頭アドレスが示す共通バッファ 1 6 内のアドレスからセルを読み出し、読み出しが終了すると、読み出し終

了信号を検索部 3 1 に出力する。

【 0 0 8 9 】 一方、検索部 3 1 a では、この読み出し終了信号が各 S R F F 回路 3 9 に入力されることにより、S R F F 回路 3 9 がそれぞれリセットされ、各カウンタ 3 5、3 7 のカウント動作が続きから再開されて、次に読み出すべきセルが存在する方路の検索が行なわれる。つまり、本実施形態の検索部 3 1 a は、2 5 6 個の方路を 1 6 個のグループに分割し、共通バッファ 1 6 から読み出すべきセルが存在するグループを検索し、検索したそのグループ内において、共通バッファ 1 6 から読み出すべきセルの方路を検索するようになっているのである。

【 0 0 9 0 】 従って、階層的に、読み出すべきセルの存在する方路を検索することができるので、読み出すべきセルの存在する方路を検索するのに必要なクロック数（処理数）を大幅に削減することができ、読み出し制御の高速化、低消費電力化に大いに寄与している。なお、ここでは、上記のグループを検索するグループ検索部としての機能を上述のセクタ 3 4 及び 4 ビットカウンタ 3 5 が果たし、検索したグループ内において方路を検索する方路検索部としての機能をセクタ 3 6 及び 4 ビットカウンタ 3 7 が果たしている。

【 0 0 9 1 】 (1) バッファ制御装置 1 8 の第 1 変形例の説明

次に、図 1 3 は上述の読み出し制御部 2 2 の第 1 変形例を示すブロック図で、この図 1 3 に示すように、本第 1 変形例における読み出し制御部 2 2 は、読み出し回数計算部 4 0 a 及び読み出し部 4 0 b を有して構成されている。なお、ここでは、記憶部 2 0 に、上述の方路別情報メモリ 2 0 b のほかに読み出し回数設定テーブル 2 0 h が設けられている。また、ここでは、次ポインタチェーン格納メモリ 2 0 a 及び空きアドレス情報メモリ 2 0 c の図示は略している。

【 0 0 9 2 】 ここで、記憶部 2 0 の読み出し回数設定テーブル（第 1 読み出しデータ量設定部）2 0 h は、例えば図 1 4 に示すように、1 度の共通バッファ 1 6 に対するアクセスで共通バッファ 1 6 から読み出すセルの個数（読み出し回数：第 1 読み出しデータ量）と全方路の読み出し回数の合計最大値とを設定しておくものである。

【 0 0 9 3 】 一方、読み出し制御部 2 2 において、読み出し回数計算部 4 0 は、このテーブル 2 0 h の各設定値に基づいて、各方路毎の読み出し制御回数を計算するものであり、読み出し部 4 0 b は、この読み出し回数計算部 4 0 により得られた上記の読み出し制御回数分の共通バッファ 1 6 に対する読み出し制御を方路別情報メモリ 2 0 b の方路別情報を参照しながら各方路別に行なうものである。

【 0 0 9 4 】 これにより、上述の読み出し制御部 2 2 では、読み出し回数設定テーブル 2 0 h に設定されている回数分のセルの読み出し制御が行なわれる。すなわち、

テーブル 2 0 h の或る方路に “ 1 ” が設定されていれば、その方路については共通バッファ 1 6 に対する 1 回のアクセスで 1 個のセルが読み出され、“ 3 ” が設定されていれば、その方路については共通バッファ 1 6 に対する 1 回のアクセスで 3 個のセルが読み出される。

【 0 0 9 5 】 従って、例えば図 1 4 に示すように、出力帯域を V、読み出し回数の合計最大値を M とすると、読み出し回数 n の方路は、 $(n/M) \times V$ の帯域が最低限保証される。つまり、出力帯域 V を合計最大値 M で割った最小割り当て帯域を単位とし、その単位の整数倍による最低帯域の可変が実現される。なお、図 1 0、図 1 1 により前述した周期的読み出しのときと同様、読み出すセルが存在しない方路（テーブル 2 0 h において “ 0 ” が設定されている方路）については読み出しがスキップされるので、V を読み出し回数に比例して分割した帯域が読み出すべきセルが存在する方路に割り当てられることになる。

【 0 0 9 6 】 このように、本第 1 変形例における読み出し制御部 2 2 では、テーブル 2 0 h に設定された読み出し回数に基づいて共通バッファ 1 6 からセルを各方路毎に所定個数ずつ読み出すので、テーブル 2 0 h の設定をユーザの必要に応じて変更することにより、各方路に割り当てられる最低保証帯域を各方路毎に可変にでき、より柔軟な最低帯域保証を実現することができる。

【 0 0 9 7 】 ところで、上述のテーブル 2 0 h の設定は、PVC (Permanent Virtual Channel) のような固定的に設定される経路に対して、ユーザの契約時に保守者により必要な帯域（読み出し回数）を設定する方法が最も容易で現実的であるが、SVC (Switched Virtual Channel) のような呼の設定と切断が頻繁に行なわれるものに対して、シグナリング用セルの未使用部分を使って行なうことができる。

【 0 0 9 8 】 図 1 5 はシグナリング用セルのフォーマットの一例を模式的に示す図で、この図 1 5 に示すように、一般に、シグナリング用セルは、プロトコル識別子、呼番号長、呼番号値、メッセージ種別、メッセージ長、複数の情報要素などからなっており、本変形例では、例えば上記の「メッセージ種別」に自セルがシグナリング用である旨を表示するようになっている。なお、上記の「情報要素」は、呼設定時に必要なアドレスや ATM コネクション属性値を転送するためのものであり、その内容は情報要素識別子（図 1 5 中の斜線部）により識別されるようになっている。

【 0 0 9 9 】 そして、ここでは、この情報要素識別子の未使用部分を最低保証帯域設定用に新たに定義して、情報要素内に最低保証帯域値を格納することにより、SVC においてもシグナリングによる最低帯域保証が可能になる。この場合、上述の読み出し制御部 2 2 は、図 1 6 に示すように、シグナリング用セル検出部 4 1、読み出し回数判定部 4 2 及び最低帯域保証設定部 4 3 をそなえ

て構成されている。

【 0 1 0 0 】 ここで、シグナリング用セル検出部 4 1 は、図 1 5 により上述したシグナリング用セルを例えばそのフォーマット内の「メッセージ種別」を参照することにより検出するものであり、読み出し回数判定部 4 2 は、この検出部 4 1 でシグナリング用セルが検出されると、そのセル内の「情報要素識別子」内の未使用部分に設定されている帯域値（読み出し回数）を参照するとともに、記憶部 2 0 のテーブル 2 0 h を参照して、シグナリング用セル内に設定されている読み出し回数を上記の合計最大値を超えずにテーブル 2 0 h に設定できるかどうかを判定するものである。

【 0 1 0 1 】 また、最低帯域保証設定部 4 3 は、この読み出し回数判定部 4 2 にてシグナリング用セルに設定されている読み出し回数をテーブル 2 0 h に設定できると判定されると、テーブル 2 0 h の該当する方路にシグナリング用セル内に設定されている読み出し回数を設定するものである。これにより、上述の読み出し制御部 2 2 では、テーブル 2 0 h のセル読み出し回数（第 1 読み出しデータ量）を加入者端末 1 1 などの外部装置から設定することが可能となる。従って、任意に、共通バッファから 1 度に読み出すべきセル数を各方路毎に変更して各方路に割り当てる帯域を変更することができ、これにより、より柔軟に、各方路に対する最低帯域保証を行なうことが可能になる。

【 0 1 0 2 】 (2) 読み出し制御部 2 2 の第 2 変形例の説明

次に、図 1 7 は上述の読み出し制御部 2 2 の第 2 変形例を示すブロック図で、この図 1 7 に示すように、本第 2 変形例の読み出し制御部 2 2 は、読み出し回数計算部 4 5、読み出し位置比較部 4 6、カウンタ 4 7、最大値比較部 4 8、切り替え制御部 4 9 及び読み出し部 5 0 を有して構成されている。なお、ここでは、記憶部 2 0 に、上述の方路別情報メモリ 2 0 b のほかに読み出し回数設定テーブル 2 0 h、読み出し開始位置メモリ 2 0 i が設けられている。

【 0 1 0 3 】 ここで、記憶部 2 0 において、読み出し開始位置メモリ 2 0 i は、共通バッファ 1 6 に対する読み出し制御を開始する位置情報として読み出し開始方路番号を記憶するものである。一方、読み出し制御部 2 2 において、読み出し回数計算部 4 5 は、各方路毎の共通バッファ 1 6 に対する読み出し制御回数（セルの読み出し個数）を計算するもので、本変形例では、切り替え制御部 4 9 からの切り替え信号（トリガ信号）に応じて、読み出し回数設定テーブル 2 0 h の各設定値（図 1 8 参照）に基づいて計算を行なうか、読み出し回数 “ 1 ” を出力するかが切り替えられるようになっている。

【 0 1 0 4 】 また、読み出し部 5 0 は、この読み出し回数計算部 4 5 での計算結果に応じた回数分の共通バッファ 1 6 に対するセルの読み出しを方路別情報メモリ 2 0

10

20

30

40

50

bの方路別情報を参照しながら各方路別に行なうもので、本変形例では、最初に読み出し制御を行なった方路番号を読み出し開始位置メモリ20iに記憶させるようになっている。

【0105】さらに、読み出し位置比較部46は、読み出し開始位置メモリ20iに記憶されている方路番号と読み出し回数計算部45により現在読み出し制御が行なわれている方路番号とを比較するもので、各方路番号が一致すると、各方路についての読み出し制御が一巡したものとトリガ信号を切り替え制御部48へ出力するようになっている。

【0106】また、カウンタ47は、読み出し回数計算部45による読み出し制御が行なわれる毎にそのカウント値をカウントアップすることにより、共通バッファ16に対する総読み出し制御回数を方路の別なく計数するものであり、最大値比較部48は、このカウンタ47のカウント値とテーブル20hに設定されている合計最大値M(図18参照)とを比較するもので、これらのカウント値と最大値Mとが一致すると、切り替え制御部49にトリガ信号を出力するようになっている。

【0107】さらに、切り替え制御部49は、上述の各比較部46、47のいずれかからトリガ信号を受けると、テーブル20hの各設定値に基づく読み出し制御(最低帯域保証制御)と各方路のセルを1つずつ周期的に読み出す周期的読み出し制御とを、読み出し回数計算部45での計算手法を制御することにより切り替えるもので、この切り替え動作により、上記の最低帯域保証制御後は各方路にそれぞれ一定の帯域を割り当てることができるようになっている。

【0108】つまり、本第2変形例における読み出し制御部22は、記憶部20におけるテーブル20hの各設定値に基づく読み出し制御を全方路について行なった後は、共通バッファ16からセルを各方路毎に一定のデータ量(ここでは、1セルずつ)で周期的に読み出すようになっているのである。このような構成により、上述の読み出し制御部22では、まず、図18に示すように、読み出し回数計算部45がテーブル20hの各設定値と方路別情報メモリ20bの方路別情報とに基づいて、各設定値分のセルをセルの存在する方路から順次優先的に読み出す(最低帯域保証制御を行なう)一方、読み出し制御を開始した方路番号を読み出し開始位置メモリ20iに記憶させておく。

【0109】そして、読み出し位置比較部20iでは、読み出し回数計算部45が読み出し制御を行なっている方路番号と読み出し開始位置メモリ20iに記憶されている方路番号とを順次比較しており、各方路番号が一致すると、読み出し制御が一巡したものとトリガ信号を切り替え制御部49に出力する。切り替え制御部49は、このトリガ信号を受信すると、共通バッファ16に対する読み出し制御を最低帯域保証制御から周期的読

み出し制御に切り替える旨を読み出し回数計算部45に通知する。読み出し回数計算部45は、この通知を受けると、読み出し回数“1”を読み出し部50に一定周期で出力し、読み出し部50は、この出力を受けて、図18に模式的に示すように、共通バッファ16にセルが蓄積されている全ての方路から1セルずつ読み出す。つまり、本変形例の読み出し制御部22は、最低帯域保証制御によるセルの読み出しが全方路について一巡した後、さらに帯域に空きがある場合、その空き帯域分は、共通バッファ16にセルが蓄積されている全ての方路から1セルずつ読み出すこと(ラウンドロビン)により、各方路に割り当てるのである。

【0110】例えば、最低帯域保証制御による優先的読み出しが一巡したとき、読み出し回数がN(Nは自然数)であるとする、 $(M-N) \times V$ が余った帯域となり、この帯域は全てラウンドロビンにより公平に割り当てられることになる。なお、このとき、最大値比較部48では、カウンタ47で計数されているカウント値(共通バッファ16に対する総読み出し制御回数)とテーブル20hに設定されている最大値Mとを比較しており、カウント値が最大値Mに達すると、トリガ信号を切り替え制御部49に出力する。切り替え制御部49は、このトリガ信号を受けると、共通バッファ16に対する読み出し制御を、再度、最低帯域保証制御に切り替える。

【0111】(3)読み出し制御部22の第3変形例の説明

次に、図19は上述の読み出し制御部22の第3変形例を示すブロック図で、この図19に示すように、本第3変形例の読み出し制御部22は、図17に示す構成に比して、読み出し制御部22が、読み出し回数計算部45に代えて、読み出し回数計算部45'を有して構成されている点が異なる。なお、ここでは、記憶部20に、付加読み出し回数設定テーブル20jが設けられている。

【0112】ここで、上述の付加読み出し回数設定テーブル(第2読み出しデータ量設定部)20jは、テーブル20hの各読み出し回数との和がそれぞれ全方路で同一となるように、共通バッファ16から読み出すべき付加的な読み出し回数(第2読み出しデータ量)を各方路毎に設定するもので、例えば図20では、全ての方路についての総読み出し回数が“3”となるように各方路の付加読み出し回数が設定されている。

【0113】また、読み出し回数計算部45'は、図17により上述した読み出し回数計算部45とは略同様の機能を有するが、ここでは、切り替え制御部49からの切り替え信号に応じて、読み出し回数の計算を、テーブル20hに基づく計算とテーブル20jに基づく計算との間で切り替えるようになっている。つまり、本読み出し制御部22は、共通バッファ16に対する読み出し制御を、最低帯域保証制御とテーブル20jに基づく読み出し制御(付加読み出し制御)との間で切り替えるよう

10

20

30

40

50

になっている。

【0114】このような構成により、本第3変形例における読み出し制御部22では、まず、図20に示すように、読み出し回数計算部45がテーブル20hの各設定値と方路別情報メモリ20bの方路別情報とに基づいて、各設定値分のセルをセルの存在する方路から順次優先的に読み出す（最低帯域保証制御を行なう）一方、読み出し制御を開始した方路番号を読み出し開始位置メモリ20iに記憶させておく。

【0115】そして、読み出し位置比較部20iでは、読み出し回数計算部45が読み出し制御を行なっている方路番号と読み出し開始位置メモリ20iに記憶されている方路番号とを順次比較しており、各方路番号が一致すると、読み出し制御が一巡したものとして、トリガ信号を切り替え制御部49に出力する。切り替え制御部49は、このトリガ信号を受信すると、共通バッファ16に対する読み出し制御を最低帯域保証制御から付加読み出し制御に切り替える旨を読み出し回数計算部45に通知する。

【0116】読み出し回数計算部45は、この通知を受けると、図20に示すように、テーブル20jの各設定値に基づいて読み出し回数を計算し、読み出し部50が、その計算結果に応じた分のセルを共通バッファ16から読み出す。例えば、この場合、図20に模式的に示すように、テーブル20hの方路別の各設定値の最大値が“3”であったとすると、各方路の付加読み出し回数は、“3”から最低帯域保証分の読み出し回数を引いたものになり、全方路の各読み出し回数は全て“3”となる。

【0117】以後、読み出し制御部22は、カウンタ47のカウント値が最大値Mに達するまで、最低帯域保証制御と付加読み出し制御とを交互に行なう。つまり、上述の読み出し制御部22は、テーブル20hの各設定値に基づいて共通バッファ16からのセルの読み出し制御を全方路について行なった後は、全方路の各読み出し回数がそれぞれ同一となるように付加読み出し回数を設定されたテーブル20jの各設定値に基づいて共通バッファ16からセルを各方路毎に読み出すようになっているのである。従って、共通バッファ16の全出力帯域Vを全方路に対して公平に割り当てることが可能になる。

【0118】（4）読み出し制御部22の第4変形例の説明

次に、図21は上述の読み出し制御部22の第4変形例を示すブロック図で、この図21に示すように、本第4変形例の読み出し制御部22は、読み出し回数計算部51a、方路別タイマ51b及び読み出し部51cを有して構成されている。なお、この図21において、図13に示す符号と同一符号を付したものはそれぞれ図13により前述したものと同様のものである。

【0119】ここで、上述の読み出し回数計算部51a

は、図13により前述した読み出し回数計算部40と同様に、テーブル20hの各設定値（図18参照）に基づいて、各方路毎の読み出し制御回数を計算するものであり、読み出し部51cは、この読み出し回数計算部51aでの計算結果に応じた回数分の共通バッファ16に対する読み出しを方路別情報メモリ20bの方路別情報を参照しながら各方路別に行なうものであるが、本変形例では、方路別タイマ51bのタイムアウト毎にセルを該当方路のセルを1つ読み出すようになっている。

【0120】また、方路別タイマ51bは、例えば図22に模式的に示すように、各方路毎に設けられており、それぞれ、テーブル20hの各設定値毎にセルの読み出しタイミングを所定の間隔で出力するもので、ここでは、タイムアウト時間を各方路の最大割当帯域の逆数時間に設定することにより、上記の読み出しタイミングを各方路の最大割当帯域の逆数時間間隔で出力するようになっている。

【0121】ただし、上記の最大割当帯域は、出力回線帯域V、読み出し合計最大値M、読み出し回数nの方路において、 V 以下且つ $(n/M) \times V$ 以上という範囲を満たす帯域とする。このような構成により、本第4変形例の読み出し制御部22では、読み出し回数計算部51aがテーブル20hに基づいて読み出し回数を計算し、読み出し部51cが共通バッファ16からセルを読み出す際、方路別タイマ51bのタイムアウトに従ってセルを1つずつ読み出すので、1度に複数のセルを読み出す場合でも、各セルを一定の時間間隔（最大割当帯域の逆数時間）で読み出すことができる。

【0122】従って、1回の共通バッファ16に対するアクセスで複数のセルを読み出すことにより生じうる方路毎のバースト性を緩和することができる。なお、この方路別タイマ51によるセルの読み出し間隔制御は、第2変形例における読み出し制御部22（図17、図18参照）もしくは第3変形例における読み出し制御部22（図19、図20）に適用することも可能である。

【0123】（5）読み出し制御部22の第5変形例の説明

次に、図23は上述の読み出し制御部22の第5変形例を示すブロック図で、この図23に示すように、本第5変形例の読み出し制御部22は、読み出し順制御部52a及び読み出し部52bを有して構成されている。なお、ここでは、記憶部20にスケジューリングテーブル20kが設けられている。

【0124】ここで、上述のスケジューリングテーブル20kは、テーブル20hの各設定値毎にデータ読み出し間隔を規定するためのもので、本変形例では、方路数 $m=256$ 、読み出し合計最大値 $M=256$ とすると、呼設定時に、256スロットのタイムテーブルにセル送出タイミングが記述されるようになっている。例えば図24に示すように、合計最大値 $M=256$ で、方路#3

10

20

30

40

50

の読み出し回数が 2 回の場合、2 番目と 1 2 9 番目といった離れた読み出し位置（図 2 4 中の斜線部参照）にスケジューリングが行なわれる。

【0 1 2 5】また、読み出し順制御部 5 2 a は、このスケジューリングテーブル 2 0 k を参照して読み出すべきセルの方路番号をテーブル 2 0 k の設定順に順次読み出して、その方路番号を読み出し部 5 2 b に与えるものであり、読み出し部 5 2 b は、この読み出し順制御部 5 2 a から出力される方路番号を基に方路別情報メモリ 2 0 b の方路別情報を参照して、読み出すべきセルの共通バッファ 1 6 内のアドレスを取得し、そのアドレスに格納されているセルを抜き取って送出するものである。

【0 1 2 6】このような構成により、本第 5 変形例における読み出し制御部 2 2 では、読み出し順制御部 5 2 a がスケジューリングテーブル 2 0 k に設定されている方路番号を順に読み出し、読み出し部 5 2 b がその方路番号順に、順次、共通バッファ 1 6 からセルを読み出すので、上述のごとく複数のセルが読み出される方路についてはテーブル 2 0 k において各セルの読み出し順を離れた位置に設定しておくことにより、各セルの読み出し間隔を離すことができる。

【0 1 2 7】従って、上述した第 4 変形例と同様に、1 回の共通バッファ 1 6 に対するアクセスで複数のセルを読み出すことにより生じる方路毎のバースト性を緩和することが可能になる。なお、このスケジューリングテーブル 2 0 k によるセルの読み出し間隔制御は、前述の方路別タイマ 5 1 による読み出し間隔制御と同様に、第 2 変形例における読み出し制御部 2 2（図 1 7、図 1 8 参照）もしくは第 3 変形例における読み出し制御部 2 2（図 1 9、図 2 0）に適用することも可能である。

【0 1 2 8】（6）読み出し制御部 2 2 の第 6 変形例の説明

図 2 5 は上述の読み出し制御部 2 2 の第 6 変形例を示すブロック図で、この図 2 5 に示すように、本第 6 変形例における読み出し制御部 2 2 は、図 1 0、図 1 2 により前述した検索部 3 1 a に加えて帯域割当制御部 5 3 を有した構成となっている。

【0 1 2 9】ここで、この帯域割当制御部 5 3 は、各方路を複数のグループに分割し、各グループ毎に共通バッファ 1 6 のセルの読み出し制御を行なうことによって各グループに割り当てる帯域を制御するもので、本変形例では、検索部 3 1 a における 4 ビットカウンタ 3 5 の出力（カウント値 Sa[3..0]）を制御して、1 6 入力セレクタ 3 4 が集線している各 OR 回路 3 3 へのアクセス回数を制御するようになっている。

【0 1 3 0】これにより、上述の読み出し制御部 2 2 では、例えば、図 2 5 に示すように、各 OR 回路 3 3 を A グループと B グループとに分割した場合、帯域割当制御部 5 3 によって 4 ビットカウンタ 3 5 のカウント値 Sa[3..0] を各グループ A、B へのアクセス回数が異なるよ

うに制御すると、グループ A、B 単位でそれぞれ異なる帯域を割り当てることが可能になる。

【0 1 3 1】つまり、本変形例における読み出し制御部 2 2 は、帯域割当制御部 5 3 の制御により、各方路に割り当てる帯域を各グループ単位で設定しうようになっているのである。従って、同じ帯域を共用する複数の方路に対し、1 つのセレクタ 3 4 を制御するだけで（1 度 の設定で）、それらの各方路に同じ帯域を割り当てることができ、各方路への帯域割当制御の負荷を大幅に削減することができる

（7）読み出し制御部 2 2 の第 7 変形例の説明

次に、図 2 6 は上述の読み出し制御部 2 2 の第 7 変形例を示すブロック図で、この図 2 6 に示すように、本第 7 変形例の読み出し制御部 2 2 は、グループ切り替え制御部 5 4 a 及び読み出し部 5 4 b を有した構成となっている。なお、ここでは、記憶部 2 0 が、前述した方路別情報メモリ 2 0 b 以外に共用グループテーブル 2 0 m を有している。

【0 1 3 2】ここで、記憶部 2 0 において、共用グループテーブル 2 0 m は、各方路を複数のグループに分割する方路分割情報を設定するもので、本変形例では、この図 2 6 に示すように、各方路を複数のグループに分割する際の各グループを構成する最小方路番号、最大方路番号をはじめ、そのグループに割り当てるべき帯域、読み出し制御を開始する位置（方路番号）などがそれぞれグループ毎に設定されるようになっている。

【0 1 3 3】一方、読み出し制御部 2 2 において、グループ切り替え制御部 5 4 a は、共用グループテーブル 2 0 m 内で参照する設定情報をグループ単位で切り替えるものであり、読み出し部 5 4 b は、このグループ切り替え部 5 4 a の参照設定情報と方路別情報メモリ 2 0 b の方路別情報とに基づいて、共通バッファ 1 6 からセルを読み出すもので、本変形例では、或るグループについて上記の最小方路番号から最大方路番号までの各方路のセルを共通バッファ 1 6 から割当帯域分読み出すと、グループ切り替え部 5 4 a によってテーブル 2 0 m に対する参照設定情報のグループが切り替えられて次のグループについて同様にセルの読み出しを行なうようになっている。

【0 1 3 4】このような構成により、本変形例における読み出し制御部 2 2 では、まず、グループ切り替え制御部 5 4 が共用グループテーブル 2 0 m 内の或るグループの設定情報を参照することにより、読み出し部 5 4 b が、テーブル 2 0 m の読み出し開始位置に設定されている方路番号から順にセルを共通バッファ 1 6 から読み出す。読み出し方路番号が共用グループテーブル 2 0 m に設定されている最大方路番号に達すると、グループ切り替え制御部 5 4 は、テーブル 2 0 m を参照して、再度、最小方路番号から順に読み出し方路番号を読み出し部 5 4 b に出力する。

10

20

30

40

50

【0135】そして、グループ切り替え制御部54は、共用グループテーブル20mに設定されている割当帯域分のセルが読み出し部54bによって共通バッファ16から読み出されると、次に読み出すべき方路番号を共用グループテーブル20mの読み出し開始位置に書き込み、テーブル20mで参照する設定情報を次のグループに移行し、同様にしてセルの読み出しを読み出し部54bに開始させる。

【0136】つまり、上述の読み出し制御部22は、共用グループテーブル20mの情報に基づいて、共通バッファ16に対するセルの読み出し制御を所望のグループ毎に行なうようになっているのである。従って、共用グループテーブル20mにおける最小方路番号、最大方路番号の各設定を適宜変更することにより、柔軟にグループの方路構成を変更してそのグループ単位でセルの読み出し制御を行なうことができ、極めて柔軟に、同じ帯域を共用するグループを形成することができる。

【0137】(8)読み出し制御部22の第8変形例の説明

図27は上述の読み出し制御部22の第8変形例を示すブロック図で、この図27に示すように、本第8変形例の読み出し制御部22は、図17に示すものに比して、タグ設定部55を有している点が異なる。ここで、このタグ付加部55は、切り替え制御部49によって、共通バッファ16に対する読み出し制御が最低帯域保証制御に切り替えられた場合に、テーブル20hの各設定値に基づいて読み出される各セルをタグ無しに設定する一方、共通バッファ16に対する読み出し制御が周期的読み出し制御に切り替えられた場合に、共通バッファ16から周期的に読み出される各セルをタグ有りに設定するもので、ここでは、例えば図29(a)、図29(b)に示すように、セルのヘッダ56内に定義されているセル損失優先表示ビット(CLP)を“0”に設定することによりタグ無し、“1”に設定することによりタグ有りを設定するようになっている。

【0138】なお、図29(a)はユーザ網・インタフェース(UNI)におけるセルのフォーマットを示し、図29(b)はネットワーク・ノード・インタフェース(NNI)におけるセルのフォーマットを示しており、UNIにおけるセルについてはセル同士の衝突を防ぐための制御が必要になるので、NNIのセルにおける12ビットのVPIの一部(4ビット)がUNIのセルでは一般的フロー制御(GF)ビットとして割り当てられている。

【0139】上述のごとく構成された本変形例における読み出し制御部22では、タグ設定部55によって、図28に模式的に示すように、テーブル20hの各設定値に基づいて最低帯域保証制御により共通バッファ16から読み出されるセルについてはそれぞれヘッダ56内のCLPを“0”に設定して、そのセルが損失なく伝送さ

れるようにし(優先セルとし)、最低帯域保証制御後の余った帯域分周期的に読み出されるセルについてはそれぞれヘッダ56内のCLPを“1”に設定して非優先セルとする。

【0140】つまり、上述の読み出し制御部22は、テーブル20hの各設定に基づいて共通バッファ16から読み出されるセルについては周期的に読み出される他のセルよりもその優先度を高くする優先権を付与するようになっているのである。従って、最低限保証すべき帯域分のセルについては、処理途中で廃棄されてしまったりしないようその優先度を高くすることができ、最低帯域保証制御の信頼性の向上に大いに寄与している。

【0141】なお、上述のタグ設定処理は、図19及び図20により前述した読み出し制御部22に適用することも可能である。すなわち、テーブル20hに基づいて最低帯域保証制御により読み出されるセルについてはそれぞれCLPを“0”に設定する一方、テーブル20jに基づいて付加読み出し制御により読み出されるセルについてはそれぞれCLPを“1”に設定するのである。

【0142】(9)読み出し制御部22の第9変形例の説明

図30は上述の読み出し制御部22の第9変形例を示すブロック図で、この図30に示すように、本第9変形例の読み出し制御部22は、図27により前述した読み出し制御部22の構成において、先頭セル識別部57が設けられた構成となっている。

【0143】ここで、この先頭セル検出部57は、共通バッファ16から読み出されるセルが上位レイヤのバケットの先頭セルであるか否かを検出するもので、本変形例では、最低帯域保証制御中に、この先頭セル検出部57において先頭セルが検出されると、タグ設定部55によって、その先頭セルのヘッダ56内のCLP〔図29(a)、図29(b)参照〕が“0”に設定されるとともにその先頭セルと同一のバケットに属するセル(従属データ)についてもヘッダ56内のCLPが“0”に設定されるようになっている。

【0144】なお、周期的読み出し制御中に、先頭セル検出部57において先頭セルが検出された場合は、タグ設定部55によって、その先頭セルのヘッダ56のCLPが“1”に設定されるとともにその先頭セルと同一のバケットに属するセルについてもヘッダ56内のCLPが“1”に設定されるようになっている。上述のごとく構成された本第9変形例における読み出し制御部22では、最低帯域保証制御中に、先頭セル検出部57において、共通バッファ16から読み出される各セルから上位レイヤのバケットの先頭セルが検出されると、タグ設定部55によって、そのセルと同一のバケットに属するセルについては全てヘッダ56内のCLPが“0”に設定されてタグ無しに設定される。

【0145】一方、周期的読み出し制御部中に、先頭セ

ル検出部 5 7 において上記の先頭セルが検出されると、タグ設定部 5 5 によって、その先頭セルと同一のバケットに属するセルについては全てヘッダ 5 6 内の C L P が “ 1 ” に設定されてタグ有りに設定される。つまり、上述の読み出し制御部 2 2 は、ヘッダ 5 6 内の C L P を “ 0 ” にして優先権を付与するセルが、同一のバケットに属する従属セルをとまなう先頭セルである場合には、その従属セルについてもヘッダ 5 6 内の C L P を “ 0 ” にして先頭セルと同じ優先権を付与するようになっているのである。

【 0 1 4 6 】これにより、本読み出し制御部 2 2 は、バケット単位で優先制御することが可能になる。例えば、最低帯域保証制御によるセルの読み出しと、周期的読み出し制御によるセルの読み出しとの割合が 1 : 2 であるとする、図 3 1 に模式的に示すように、バケットの先頭セルが最低帯域保証制御によって読み出される確率は 1 / 3、周期的読み出し制御により読み出される確率が 2 / 3 となり、タグ無しのバケットとタグ有りのバケットの割合が統計的に 1 : 2 になる。

【 0 1 4 7 】このように、上述の読み出し制御部 2 2 では、優先権を付与するセルが、同一のバケットに属する従属セルをとまなう先頭セルである場合には、その従属セルについても先頭セルと同じ優先権を付与して同一バケット内の各セルの優先度を同じにするので、バケット単位でセルの優先／非優先制御を極めて効率良く行なうことができる。

【 0 1 4 8 】（ 1 0 ）読み出し制御部 2 2 の第 1 0 変形例の説明

図 3 2 は上述の読み出し制御部 2 2 の第 1 0 変形例を示すブロック図で、この図 3 2 に示すように、本第 1 0 変形例の読み出し制御部 2 2 は、図 1 3 により前述した読み出し回数計算部 4 0 a 及び読み出し部 4 0 b のほかに、方路別平均レート観測部 5 8、比較部 5 9、優先割合計算部 6 0 及びタグ設定部 6 1 を有して構成されている。なお、ここでは、記憶部 2 0 に前述の方路別情報メモリ 2 0 b 及び読み出し回数設定テーブル 2 0 h 以外に方路別平均レートメモリ 2 0 n が設けられている。

【 0 1 4 9 】ここで、上述の方路別平均レート観測部（受信データ量平均値検出部）5 8 は、各方路毎の受信 A T M セルの量（レート）についての平均値を検出するもので、本変形例では、テーブル 2 0 h における全方路の設定値の和がとりうる最大値を単位としたジャンピングウィンドウにより各方路のレートをサンプリングすることにより、方路別の平均レートを検出している。なお、この方路別平均レート観測部 5 8 により得られた平均レートは方路別平均レートメモリ 2 0 n に記憶される。

【 0 1 5 0 】また、比較部 5 9 は、この方路別平均レート観測部 5 8 で検出され方路別平均レートメモリ 2 0 n に記憶された上記の平均レートとテーブル 2 0 h の対応

する設定値（読み出し回数）とを比較するものであり、優先割合計算部（優先データ量計算部）6 0 は、この比較部 5 9 において上記の平均レートがテーブル 2 0 h における上記の設定値よりも大きいと判定された場合（つまり、平均レートが最低保証帯域を超えると判定された場合）に、テーブル 2 0 h に基づいて共通バッファ 1 6 から読み出されるセルのうち優先度を高くすべき優先セルの数を計算するものである。

【 0 1 5 1 】さらに、タグ設定部 5 5 は、上述の優先割合計算部 6 0 での計算結果に基づいて、読み出し回数計算部 4 0 によって共通バッファ 1 6 から読み出されるセルのうち上記の優先セル数に相当する分のセルのヘッダ 5 6 に定義されている C L P 【図 2 9 (a)、図 2 9 (b)】を “ 0 ” に設定して優先権を付与するものである。なお、このタグ設定部 5 5 は、本変形例では、上記の優先セル数に相当する以外のセルについては C L P を “ 1 ” に設定するようになっている。

【 0 1 5 2 】上述のごとく構成された本第 1 0 変形例の読み出し制御部 2 2 では、方路別平均レート観測部 5 8 で得られた方路別の平均レートが最低保証帯域を超える場合、優先割合計算部 6 0 が共通バッファ 1 6 から読み出されるセルのうち優先度を高くすべき優先セルの数を計算し、その優先セル数に相当する分のセルの C L P を “ 0 ” にして優先度を高くするとともに、最低保証帯域を超えるレートのセルについてはその C L P を “ 1 ” にして優先度を下げる。

【 0 1 5 3 】例えば、図 3 3 に模式的に示すように、ジャンピングウィンドウにより得られた平均レートが、最低保証帯域の 3 倍である場合、タグ設定部 6 1 は、共通バッファ 1 6 から読み出されるセルに対して 3 セル毎に C L P を “ 0 ” にしてタグ無しにする。この結果、最低保証帯域分のセルに高優先権が与えられる。このように、上述の読み出し制御部 2 2 では、テーブル 2 0 h に基づき最低帯域保証制御により複数分ずつ読み出されるセルのうち最低保証帯域分のセルの優先度を高くすることができるので、最低帯域保証制御の信頼性の向上に大いに寄与する。

【 0 1 5 4 】（ 1 1 ）読み出し制御部 2 2 の第 1 1 変形例の説明

図 3 4 は上述の読み出し制御部 2 2 の第 1 1 変形例を示すブロック図で、この図 3 4 に示すように、本第 1 1 変形例の読み出し制御部 2 2 は、図 3 2 に示した読み出し回数計算部 4 0、方路別平均レート観測部 5 8、比較部 5 9、優先割合計算部 6 0 及びタグ設定部 6 1 に加えて、バケット先頭識別部 6 2 をそなえた構成となっている。

【 0 1 5 5 】ここで、このバケット先頭識別部（先頭データ識別部）6 2 は、上述のごとく優先権を付与する（C L P を “ 0 ” にする）セルが同一のバケットに属する従属セルをとまなう先頭セルであるか否かを識別する

もので、このバケット先頭識別部 6 2 において先頭セルが識別されると、タグ設定部 6 1 によって、その先頭セルと同一のバケットに属するセルについてもその C L P が “ 0 ” に設定されるようになっている。

【 0 1 5 6 】 上述のごとく構成された本第 1 1 変形例の読み出し制御部 2 2 では、この場合も、第 1 0 変形例にて上述したように、方路別平均レート観測部 5 8 で得られた方路別の平均レートが最低保証帯域を超える場合、優先割合計算部 6 0 が共通バッファ 1 6 から読み出されるセルのうち優先度を高くすべき優先セルの数を計算する。

【 0 1 5 7 】 そして、タグ設定部 6 1 が、得られた優先セル数に相当する分のセルの C L P を “ 0 ” にして優先度を高くするとともに、最低保証帯域を超えるレートのセルについてはその C L P を “ 1 ” にして優先度を下げる。このとき、バケット先頭識別部 6 2 では、C L P の設定を行なったセルがバケットの先頭セルであるか否かを識別しており、C L P の設定を行なったセルがバケットの先頭セルであれば、そのバケットに属する全従属セルの C L P が先頭セルの C L P と同一になるようタグ設定部 6 2 を制御する。

【 0 1 5 8 】 すなわち、タグ設定部 6 1 によって先頭セルの C L P が “ 0 ” に設定されていれば、従属セルについてもその C L P が “ 0 ” に設定され、先頭セルの C L P が “ 1 ” に設定されていれば、従属セルについてもその C L P が “ 1 ” に設定される。例えば、ジャンピングウィンドウにより得られた平均レートが、最低保証帯域の 3 倍である場合、タグ設定部 6 1 は、図 3 5 に模式的に示すように、3 バケット毎にバケット内の全セルの C L P を “ 0 ” にしてタグ無しにすることにより、最低保証帯域分のセルの優先度を高くする。つまり、上述の読み出し制御部 2 2 は、ジャンピングウィンドウにより得られた最低保証帯域を超えるレートのセルに対して、同一バケットに属するセルの優先権を同レベルにし、バケット単位でタグを付与することにより、バケット単位での優先制御が可能になっているのである。

【 0 1 5 9 】 従って、この場合も、共通バッファ 1 6 から読み出されるセルの優先度の設定を、先頭セルと従属セルとで形成されるバケット単位で効率良く行なうことができる。なお、上述した実施形態では、受信データとして A T M セルを例にして説明したが、本発明はこれに限定されず、A T M セル以外の各種データに対しても適用することが可能である。

【 0 1 6 0 】 また、本発明は上述した実施形態に限定されるものではなく、本発明とその趣旨を逸脱しない範囲で種々変形して実施することができる。

【 0 1 6 1 】

【 発明の効果 】 以上詳述したように、本発明のバッファ制御装置及びバッファ制御方法によれば、複数の方路からの受信データを仮想的に方路別に共通バッファに記憶

することができるので、共通バッファを各方路毎に設けられた個別バッファとして仮想的に使用することができる。従って、全方路に対する一定のバッファリングを容易に実現でき、これにより、バッファの容量を増大させることなく、各方路に最低限必要な帯域を確実に保証することが可能になる（請求項 1, 2 3）。

【 0 1 6 2 】 このとき、本発明では、どの方路からの受信データを共通バッファ内のどのアドレスに記憶させたか、どの方路の受信データをどれだけ共通バッファに記憶させたかを常に把握しながら受信データを共通バッファに記憶させてゆくので、複数の方路からの受信データを共通バッファ内に確実に方路別に記憶させた状態にすることができる（請求項 2）。

【 0 1 6 3 】 また、本発明では、共通バッファに輻輳状態が発生すると、各方路毎に受信データの共通バッファへの記憶処理を制限することができるので、一部の方路の受信データが他の方路の受信データよりも極端に多く共通バッファに記憶されることを防止することができ、全方路について或る一定の帯域を最低限保証することが可能になる（請求項 3, 2 4）

具体的に、このとき、共通バッファ内の総データ量が所定量を超えると、共通バッファ内で最低限保証すべきデータ量を超えている方路については新たな受信データの共通バッファへの記憶処理を制限するようにすれば、特定の方路の受信データが大量に共通バッファ内に記憶され、他の方路の帯域が保証されないという現象をより確実に防止することができるので、さらに確実に、全方路に対する最低帯域保証を行なうことができる（請求項 4, 2 5）。

【 0 1 6 4 】 一方、このとき、共通バッファへデータが到着しているアクティブ状態の方路の数が所定数を超えると、共通バッファ内で最低限保証すべきデータ量を超えている方路については新たな受信データの共通バッファへの記憶処理を制限するようにすれば、より簡易的に、特定の方路の受信データが大量に共通バッファ内に記憶され、他の方路の帯域が保証されないという現象を防止することができるので、容易に上記の全方路に対する最低帯域保証を行なうことができる（請求項 5, 2 6）。

【 0 1 6 5 】 なお、本発明では、上述のごとく或る方路について共通バッファへの新たな受信データの記憶処理が制限されていても、複数のデータで 1 つのデータを形成するデータの一部分が既に共通バッファに記憶されている場合は、残りのデータ（従属データ）を共通バッファに記憶させることもできるので、1 つのデータとして扱われるべきデータの一部分が欠落してしまうことを防止することができ、これにより、バッファリングの信頼性の向上に大いに寄与する（請求項 6, 2 7）。

【 0 1 6 6 】 ところで、本発明では、受信データの共通バッファ内の記憶位置についての情報に基づいて、共通

バッファに仮想的に方路別に記憶された受信データを各方路別に読み出すための読み出し制御部をそなえることにより、共通バッファに対する読み出し制御を複雑化することなく、極めて容易に、共通バッファから受信データを方路毎に読み出すことができる（請求項 7）。

【0167】ここで、上述の読み出し制御部は、受信データを各方路毎に所定の周期で読み出すようにすれば、全方路について一定の帯域を最低限保証することができるので、各方路に公平に必要な帯域を割り当てることができる（請求項 8、28）。また、この読み出し制御部は、共通バッファから読み出すべき受信データの方路を検索する検索部をそなえ、この検索部が、上記読み出すべき受信データが存在しない方路については検索をスキップするようにすれば、読み出すべき受信データが存在しない方路について不要なデータを読み出すことがないので、より多くの帯域を各方路に対して保証することができる（請求項 9、29）。

【0168】なお、上記の検索部は、各方路を複数のグループに分割しておき、受信データが存在する方路を含むグループを検索したのち、検索したグループ内において、受信データの方路を検索することにより、階層的に、読み出すべき受信データの存在する方路を検索することができるので、読み出すべき受信データの存在する方路を検索するのに必要な処理数を大幅に削減することができ、読み出し制御の高速化、低消費電力化に大いに寄与する（請求項 10、30）。

【0169】また、上述の読み出し制御部は、共通バッファから読み出すべき第 1 読み出しデータ量を各方路毎に設定しておき、各第 1 読み出しデータ量に基づいて共通バッファから受信データを各方路毎に所定量分ずつ読み出すようにすれば、各方路に割り当てられる最低保証帯域を各方路毎に可変にすることができるので、より柔軟な最低帯域保証を実現することができる（請求項 11、31）。

【0170】さらに、上述の読み出し制御部は、上記の各第 1 読み出しデータ量に基づく読み出し制御を全方路について行なった後は、共通バッファから受信データを各方路毎に一定のデータ量で周期的に読み出すようにすれば、各方路に対する最低保証帯域割り当て後の余った帯域については各方路に公平に割り当てることができる（請求項 12、32）。

【0171】また、上述の読み出し制御部は、共通バッファに記憶された受信データを各方路毎に所定量分ずつ読み出した後は、各方路の総読み出しデータ量がそれぞれ全方路について同一となるように、さらに共通バッファから受信データを各方路毎に所定量分ずつ読み出すようにすれば、各方路に対する最低保証帯域割り当て後の余った帯域を各方路に割り当てられる帯域が全ての方路についての同一となるように割り当てることができるので、共通バッファの全出力帯域を全ての方路に公平に割

り当てることができる（請求項 13、33）。

【0172】さらに、上述の読み出し制御部は、上記の各第 1 設定データ量毎にデータ読み出しタイミングを所定の間隔で出力するタイマをそなえることにより、このタイマのタイミングに従って、共通バッファから所定量分ずつ読み出す受信データをそれぞれ所定の間隔で読み出すことができるので、各方路毎に読み出される受信データのバースト性を緩和することができる（請求項 14、34）。

10 【0173】また、上述の読み出し制御部は、上記の各第 1 読み出しデータ量毎にデータ読み出し間隔を規定するスケジューリングテーブルに基づいて、上記の各第 1 読み出しデータ量分の受信データを共通バッファから各方路毎に読み出すことができるので、この場合も、各方路毎に読み出される受信データのバースト性を緩和することができる（請求項 15、34）。

20 【0174】なお、上記の第 1 読み出しデータ量設定部の第 1 読み出しデータ量は外部から設定してもよいので、任意に、共通バッファから 1 度に読み出すべきデータ量を各方路毎に変更して各方路に割り当てる帯域を変更することができ、これにより、より柔軟に、各方路に対する最低帯域保証を行なうことができる（請求項 16）。

30 【0175】さらに、上記の読み出し制御部は、各方路を複数のグループに分割し、各グループ毎に共通バッファの受信データを読み出し制御を行なうことによって各グループに割り当てる帯域を制御する帯域割当制御部をそなえることにより、各方路に割り当てる帯域を各グループ単位で設定することが可能になるので、1 度の設定で複数の方路に同じ帯域を割り当てることができ、各方路への帯域割当制御の負荷を大幅に削減することができる（請求項 17、35）。

40 【0176】また、上述の読み出し制御部は、各方路を複数のグループに分割する方路分割情報を設定しておき、この方路分割情報により分割された任意のグループ毎に行なうようにすれば、上記方路分割情報の設定により、柔軟にグループの方路構成を変更してそのグループ単位で受信データの読み出し制御を行なうことができるので、極めて柔軟に、同じ帯域を共用するグループを形成することができる（請求項 18、36）。

【0177】さらに、上述の読み出し制御部は、上記の各第 1 読み出しデータ量に基づいて共通バッファから読み出される受信データについては他の受信データよりも優先度を高くするよう優先権を付与することにより、最低限保証すべき帯域分の受信データについては、処理途中で廃棄されてしまったりしないようその優先度を高くすることができるので、最低帯域保証制御の信頼性の向上に大いに寄与する（請求項 19、37）。

50 【0178】なお、上記の優先権を付与する受信データが、従属データをとまう先頭データである場合には、

上記の従属データにも上記の優先権を付与するようにすれば、同一のデータを形成する先頭データと従属データの優先度を同じにすることができるので、共通バッファから読み出される受信データの優先／非優先制御を先頭データと従属データとで形成されるデータ単位で極めて効率良く行なうことができる（請求項 20、38）。

【0179】また、上記の読み出し制御部は、受信データ量のうち他のデータよりも優先的に処理されるべき優先データ量を計算し、その計算結果に基づいて、共通バッファから読み出される受信データに所定の割合で優先権を付与することもできるので、上記の所定量分ずつ読み出される受信データ量のうち最低保証帯域分の受信データの処理優先度を高くすることができ、この場合も、最低帯域保証制御の信頼性の向上に大いに寄与する（請求項 21、39）。

【0180】さらに、上記の読み出し制御部は、上記の優先権を付与する受信データが先頭データである場合には、その先頭データとともに 1 つのデータを形成する従属データにも上記の優先権を付与するようにすれば、先頭データと従属データとで形成される 1 つのデータ内の各受信データの処理優先度を同一レベルに設定することができる。従って、この場合も、共通バッファから読み出される受信データの優先度の設定を、先頭データと従属データとで形成されるデータ単位で効率良く行なうことができる（請求項 22、40）。

【図面の簡単な説明】

【図 1】本発明の原理ブロック図である。

【図 2】本発明の一実施形態としてのバッファ制御装置が適用される ATM 通信網の一例を示すブロック図である。

【図 3】本実施形態のバッファ制御装置の構成を示すブロック図である。

【図 4】本実施形態のバッファ制御装置における次ポインタチェーン格納メモリ、方路別情報メモリ及び空きアドレス情報メモリの構成を模式的に示す図である。

【図 5】本実施形態のバッファ制御装置における制御部の構成を示すブロック図である。

【図 6】本実施形態のバッファ制御装置における共通バッファと仮想個別バッファとの切り替え動作を説明するための模式図である。

【図 7】本実施形態のバッファ制御装置における総セル数閾値及び方路別閾値を説明するための模式図である。

【図 8】本実施形態のバッファ制御装置における制御部の他の構成を示すブロック図である。

【図 9】本実施形態のバッファ制御装置における EPD 起動閾値及び方路別 EPD 閾値を説明するための模式図である。

【図 10】本実施形態のバッファ制御装置における読み出し制御部の構成を示すブロック図である。

【図 11】本実施形態における読み出し制御部の動作を

説明するための模式図である。

【図 12】本実施形態の読み出し制御部における検索部の詳細構成を示すブロック図である。

【図 13】本実施形態の読み出し制御部の第 1 変形例を示すブロック図である。

【図 14】第 1 変形例の読み出し制御部の動作を説明するための模式図である。

【図 15】シグナリング用セルのフォーマット例を示す図である。

【図 16】第 1 変形例の読み出し制御部の他の構成を示すブロック図である。

【図 17】本実施形態の読み出し制御部の第 2 変形例を示すブロック図である。

【図 18】第 2 変形例の読み出し制御部の動作を説明するための模式図である。

【図 19】本実施形態の読み出し制御部の第 3 変形例を示すブロック図である。

【図 20】第 3 変形例の読み出し制御部の動作を説明するための模式図である。

【図 21】本実施形態の読み出し制御部の第 4 変形例を示すブロック図である。

【図 22】第 4 変形例の読み出し制御部の動作を説明するための模式図である。

【図 23】本実施形態の読み出し制御部の第 5 変形例を示すブロック図である。

【図 24】第 5 変形例の読み出し制御部において使用されるスケジューリングテーブルの一例を示す図である。

【図 25】本実施形態の読み出し制御部の第 6 変形例を示すブロック図である。

【図 26】本実施形態の読み出し制御部の第 7 変形例を示すブロック図である。

【図 27】本実施形態の読み出し制御部の第 8 変形例を示すブロック図である。

【図 28】第 8 変形例の読み出し制御部の動作を説明するための模式図である。

【図 29】(a)、(b) はいずれも ATM セルのフォーマットを示す図である。

【図 30】本実施形態の読み出し制御部の第 9 変形例を示すブロック図である。

【図 31】第 9 変形例の読み出し制御部の動作を説明するための模式図である。

【図 32】本実施形態の読み出し制御部の第 10 変形例を示すブロック図である。

【図 33】第 10 変形例の読み出し制御部の動作を説明するための模式図である。

【図 34】本実施形態の読み出し制御部の第 11 変形例を示すブロック図である。

【図 35】第 11 変形例の読み出し制御部の動作を説明するための模式図である。

【図 36】共通バッファ方式を説明するためのブロック

図である。

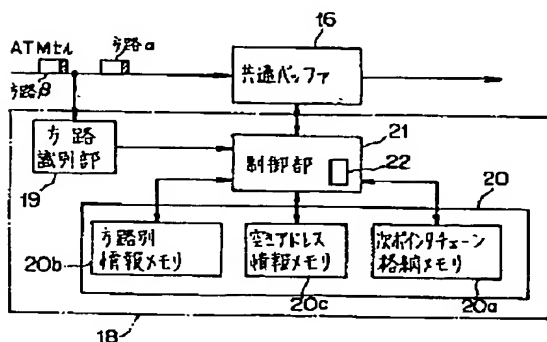
【図 37】個別バッファ方式を説明するためのブロック図である。

【符号の説明】

- 1. 16 共通バッファ
- 2. 18 バッファ制御装置
- 3. 19 方路識別部
- 4. 20 記憶部
- 5. 21 制御部
- 11 加入者端末
- 12 LAN (Local Area Network)
- 13 集線装置
- 14 ATM交換機
- 15 多重化部 (mux)
- 17 分離部 (dmux)
- 20a 次ポインタチェーン格納メモリ (リンクメモリ)
- 20b 方路別情報メモリ
- 20c 空きアドレス情報メモリ
- 20d 閾値メモリ (閾値記憶部)
- 20e 総セル数閾値メモリ (総データ量閾値記憶部)
- 20f 方路別閾値メモリ (最低保証閾値記憶部)
- 20g アクティブ方路数閾値メモリ (アクティブ方路数閾値記憶部)
- 20h 読み出し回数設定テーブル (第1読み出しデータ量設定部)
- 20i 読み出し開始位置メモリ
- 20j 付加読み出し回数設定テーブル (第2読み出しデータ量設定部)
- 20k スケジューリングテーブル
- 20m 共用グループテーブル
- 20n 方路別平均レートメモリ
- 22 読み出し制御部
- 23 輻輳状態検出部

【図 3】

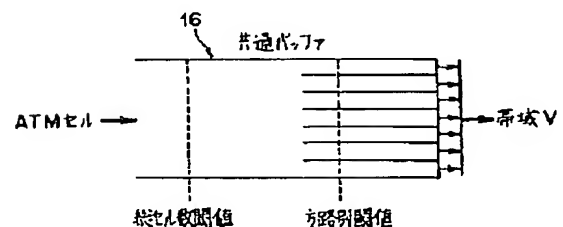
本実施形態のバッファ制御装置の構成を示すブロック図



- 23a 総セル数閾値参照部
- 23b 比較部 (総データ量判定部)
- 23d 比較部 (アクティブ方路数判定部)
- 24a, 24b, 59 比較部
- 23c アクティブ方路数カウンタ
- 24 共通/個別切り替え制御部
- 25 方路情報更新部
- 31a 検索部
- 31b, 40b, 50 読み出し部
- 10 32 フリップフロップ (FF) 回路
- 33 16入力OR回路
- 34, 36, 38 16入力セクタ (SEL1~SEL3)
- 35, 37 4ビットカウンタ
- 39 セットリセットフリップフロップ (SRFF) 回路
- 40a, 42, 45, 45', 51a, 51c, 52b 読み出し回数計算部
- 41 シグナリング用セル検出部
- 20 43 最低帯域保証設定部
- 46 読み出し位置比較部
- 47 カウンタ
- 48 最大値比較部
- 49 切り替え制御部
- 51b 方路別タイマ
- 52a 読み出し順制御部
- 53 帯域割当制御部
- 54a グループ切り替え制御部
- 55, 61 タグ設定部
- 30 56 ヘッダ
- 57 先頭セル識別部
- 58 方路別平均レート観測部
- 60 優先割合計算部
- 62 パケット先頭識別部 (先頭データ識別部)

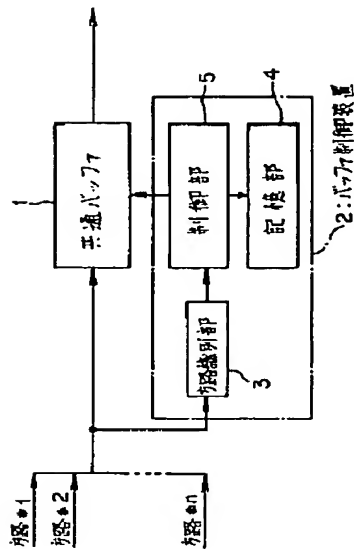
【図 7】

本実施形態のバッファ制御装置における総セル数閾値及び方路別閾値を説明するための模式図



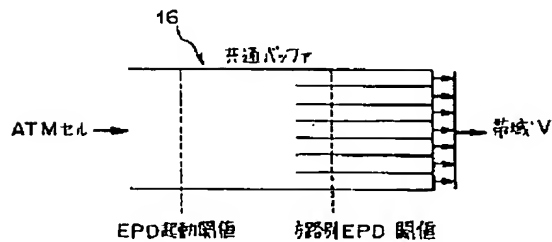
【図 1】

本発明の原理ブロック図



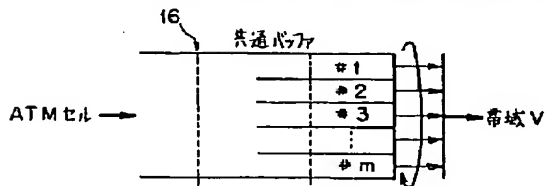
【図 9】

本実施形態のバッファ制御装置におけるEPD 起動閾値及び経路別EPD 閾値を説明するための模式図



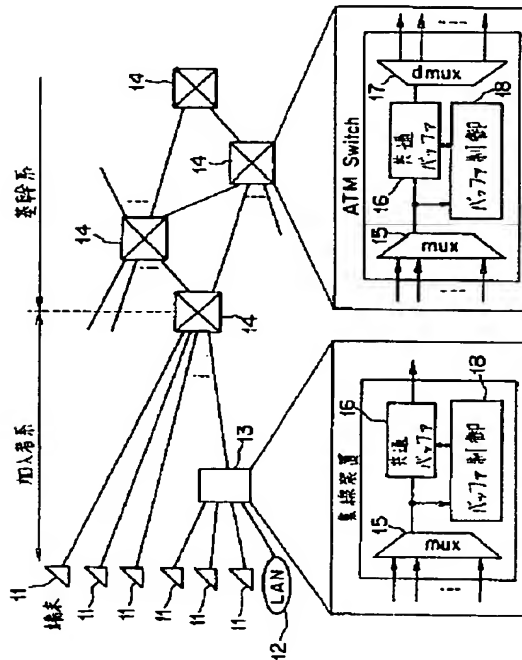
【図 11】

本実施形態における読み出し制御部の動作を説明するための模式図



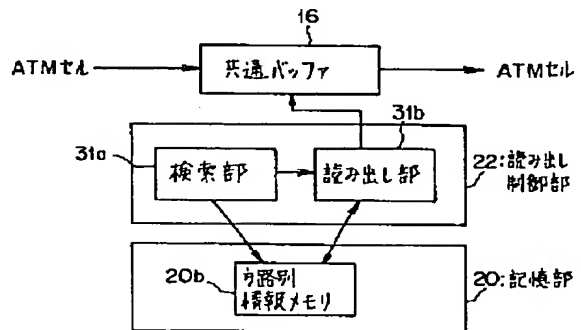
【図 2】

本発明の一実施形態としてのバッファ制御装置が適用されるATM 通信網の一例を示すブロック図



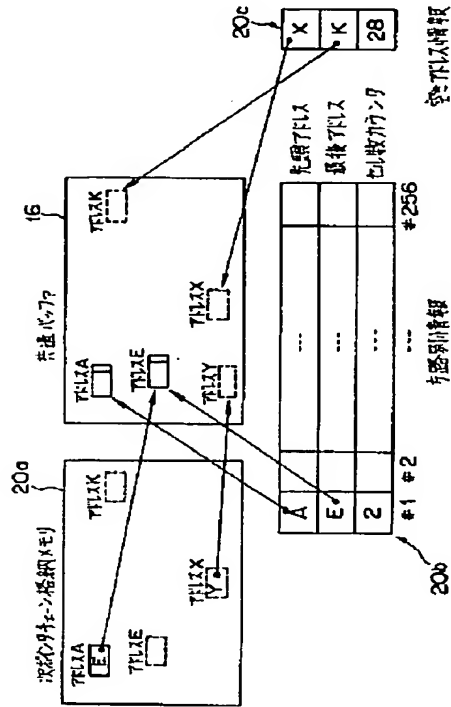
【図 10】

本実施形態のバッファ制御装置における読み出し制御部の構成を示すブロック図



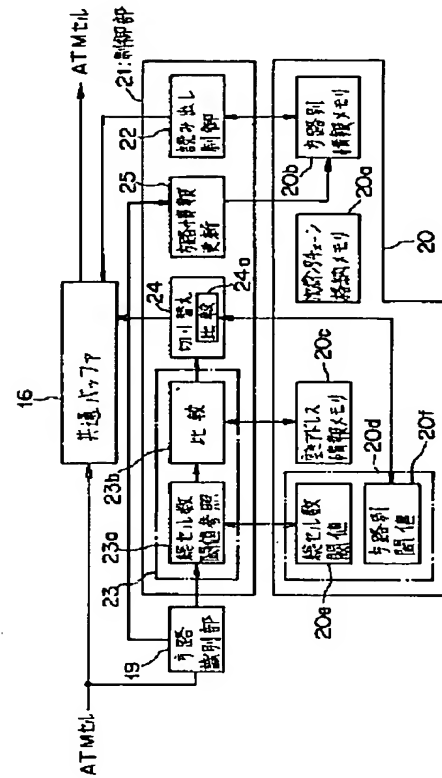
【図 4】

本実施形態のバッファ制御装置における深部インタチェンジ格納メモリ、各路別情報メモリ及び読み出し情報メモリ構成を模式的に示す図



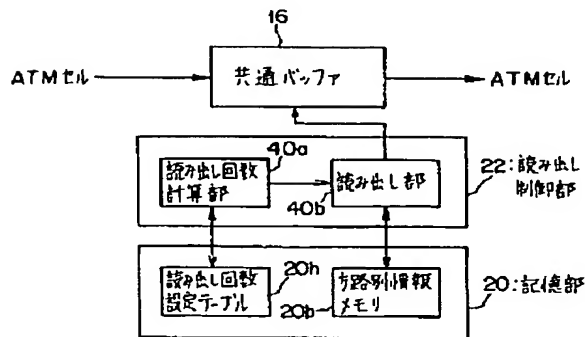
【図 5】

本実施形態のバッファ制御装置における制御部の構成を示すブロック図



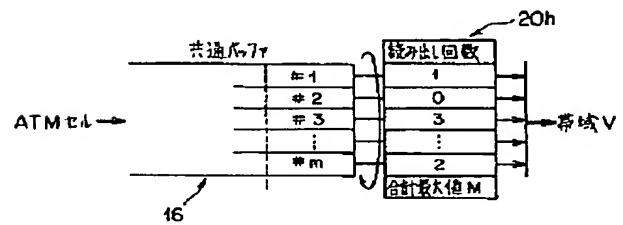
【図 13】

本実施形態の読み出し制御部の第1変形例を示すブロック図



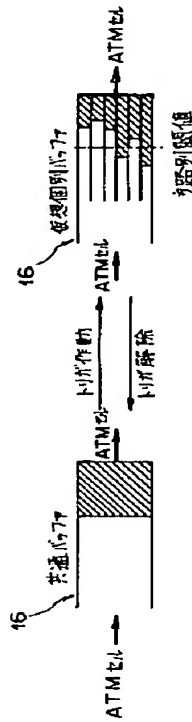
【図 14】

第1変形例の読み出し制御部の動作を説明するための模式図



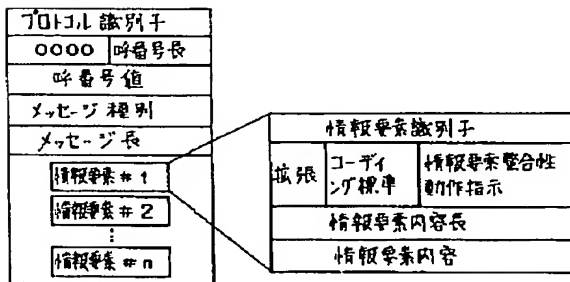
【図 6】

本実施形態のバッファ制御装置における共通バッファと仮想個別バッファとの切り替え動作を説明するための模式図



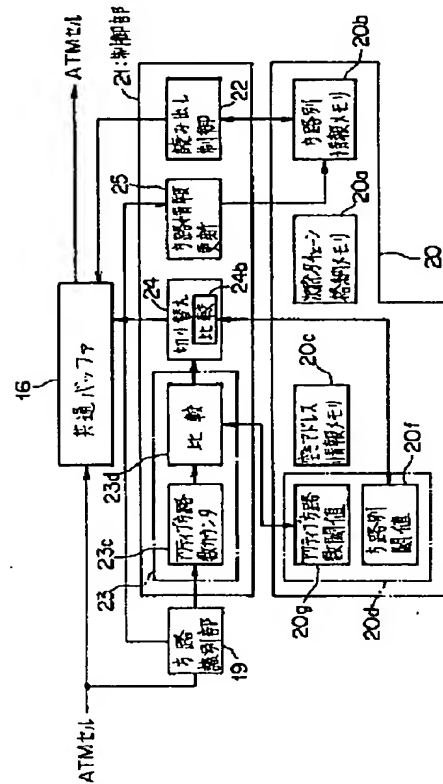
【図 15】

シグナリング用セルのフォーマット例を示す図



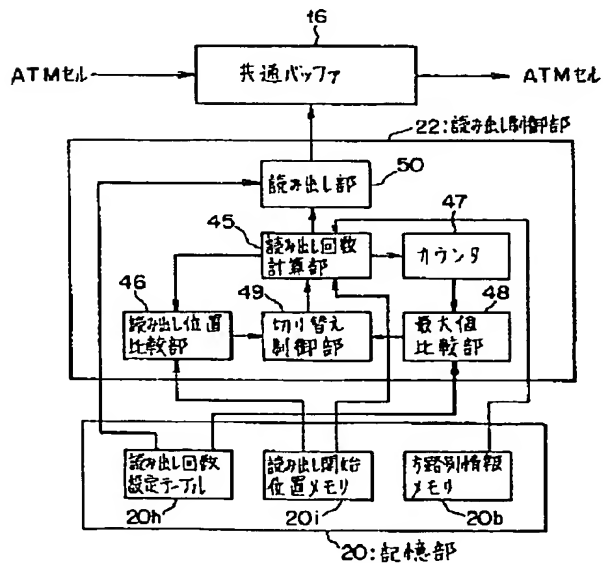
【図 8】

本実施形態のバッファ制御装置における制御部の他の構成を示すブロック図



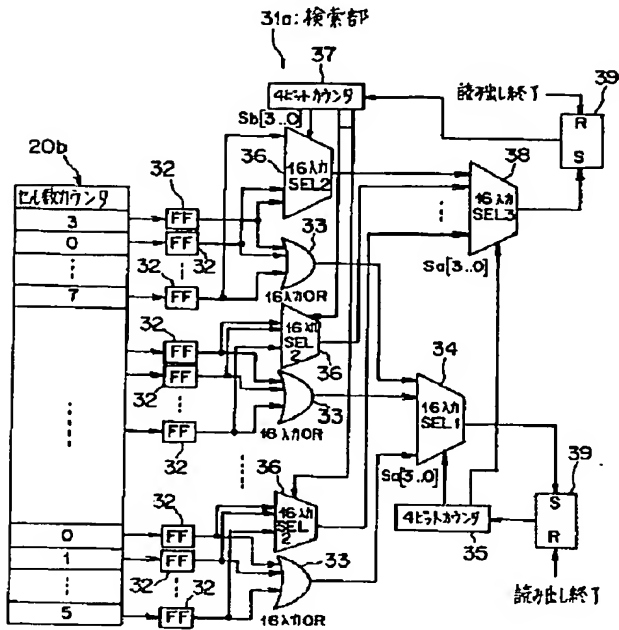
【図 17】

本実施形態の読み出し制御部の第 2 変形例を示すブロック図



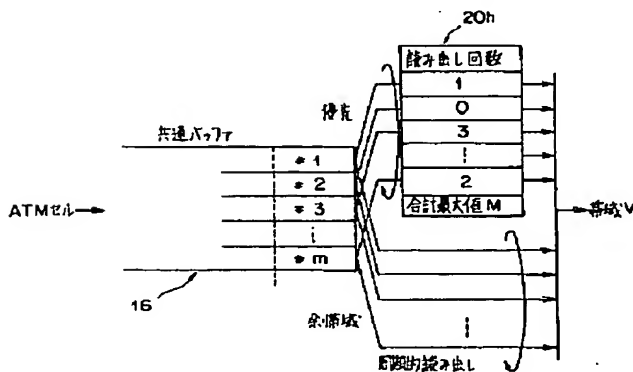
【図 1 2】

本実施形態の読み出し制御部における検索部の詳細構成を示すブロック図



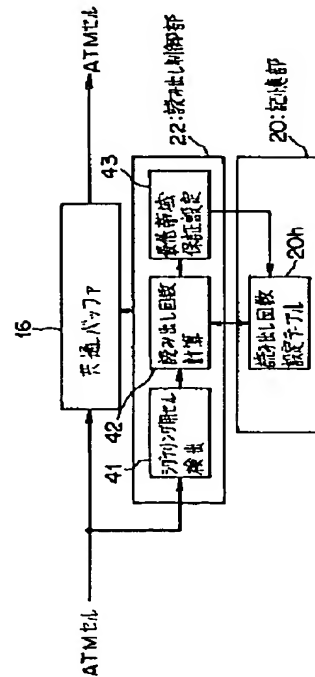
【図 1 8】

第 2 変形例の読み出し制御部の動作を説明するための模式図



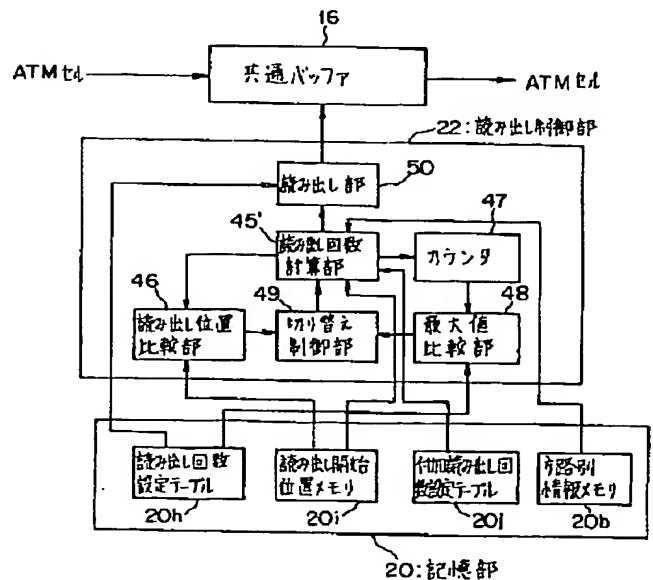
【図 1 6】

第 1 変形例の読み出し制御部の他の構成を示すブロック図



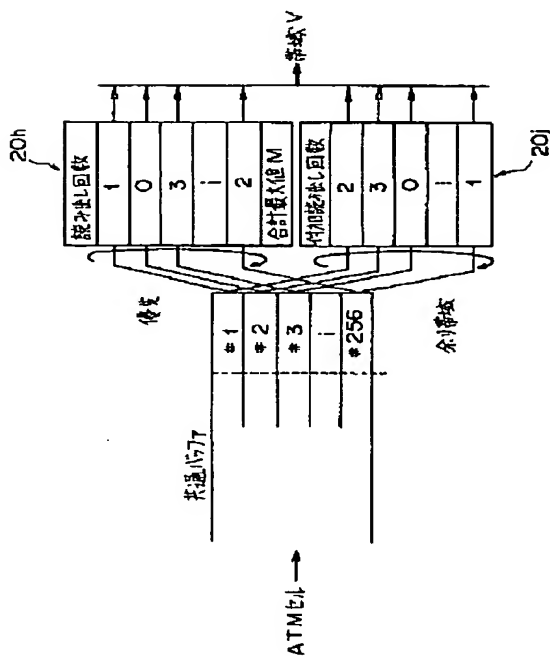
【図 1 9】

本実施形態の読み出し制御部の第 3 変形例を示すブロック図



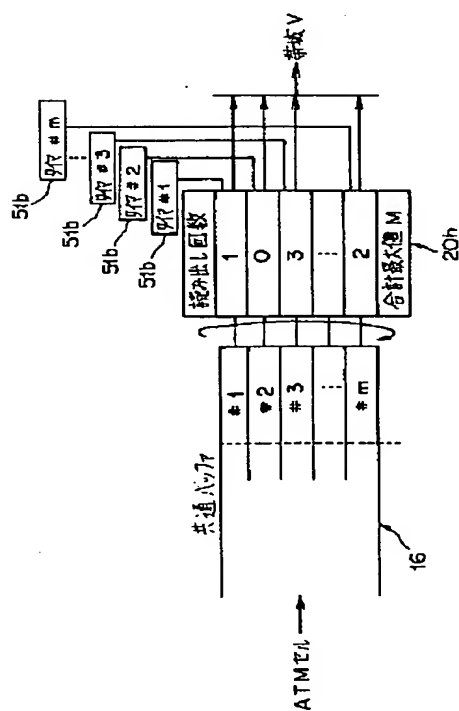
【図 2 0】

第 3 変形例の読み出し制御部動作を説明するための模式図



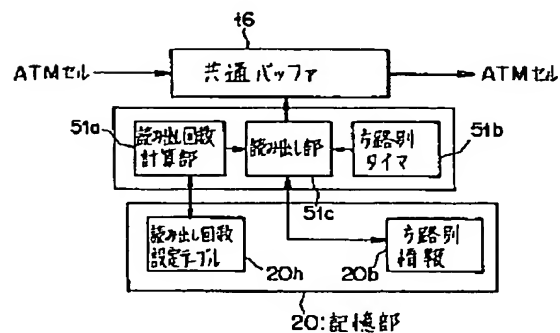
【図 2 2】

第 4 変形例の読み出し制御部動作を説明するための模式図



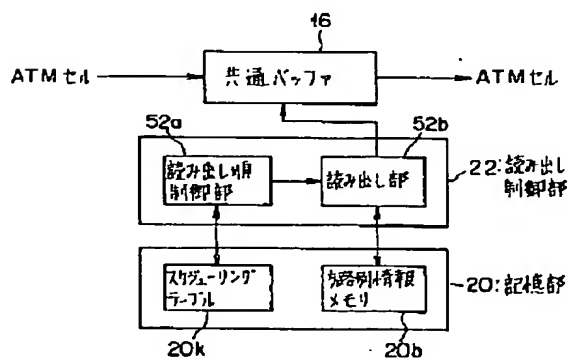
【図 2 1】

本実施形態の読み出し制御部の第 4 変形例を示すブロック図



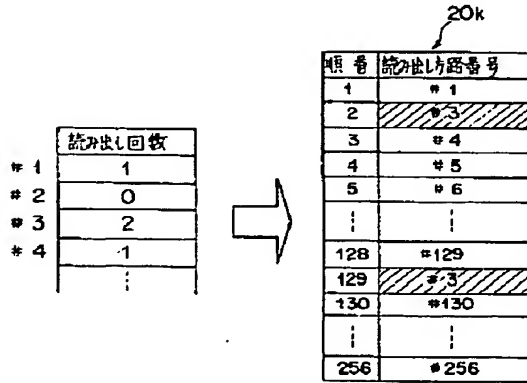
【図 2 3】

本実施形態の読み出し制御部の第 5 変形例を示すブロック図



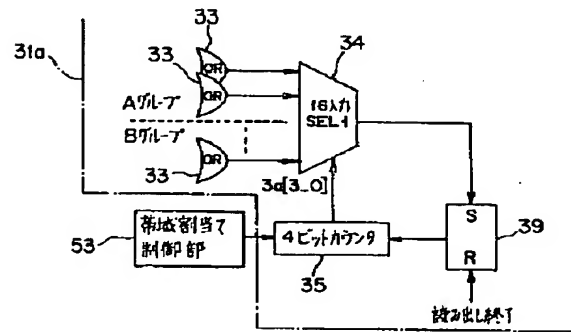
【図 2 4】

第 5 変形例の読み出し制御部において使用されるアレイ・リング・ブルの一例を示す図



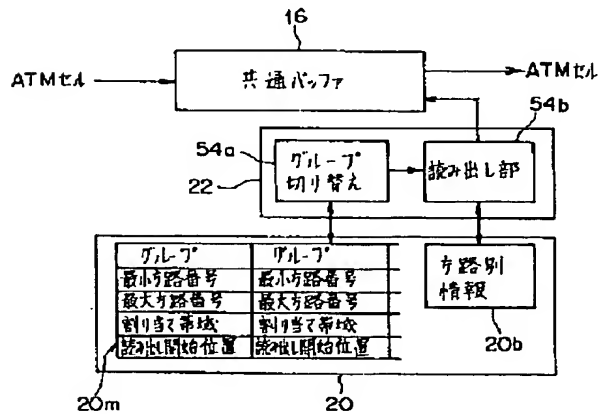
【図 2 5】

本実施形態の読み出し制御部の第 6 変形例を示すブロック図



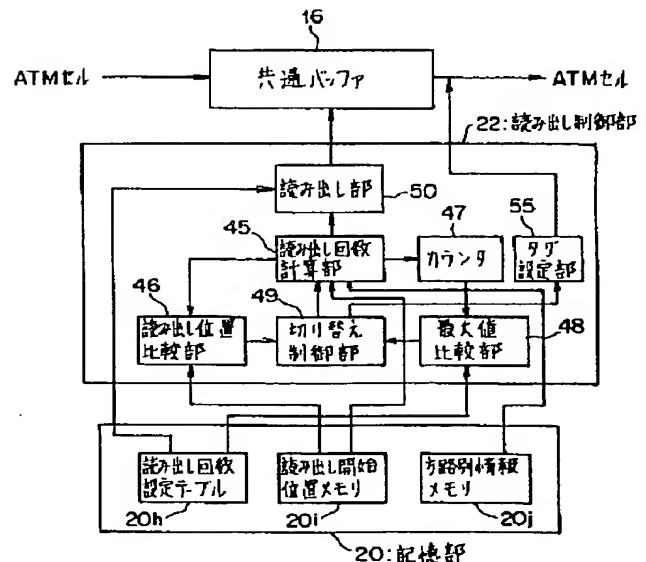
【図 2 6】

本実施形態の読み出し制御部の第 7 変形例を示すブロック図



【図 2 7】

本実施形態の読み出し制御部の第 8 変形例を示すブロック図



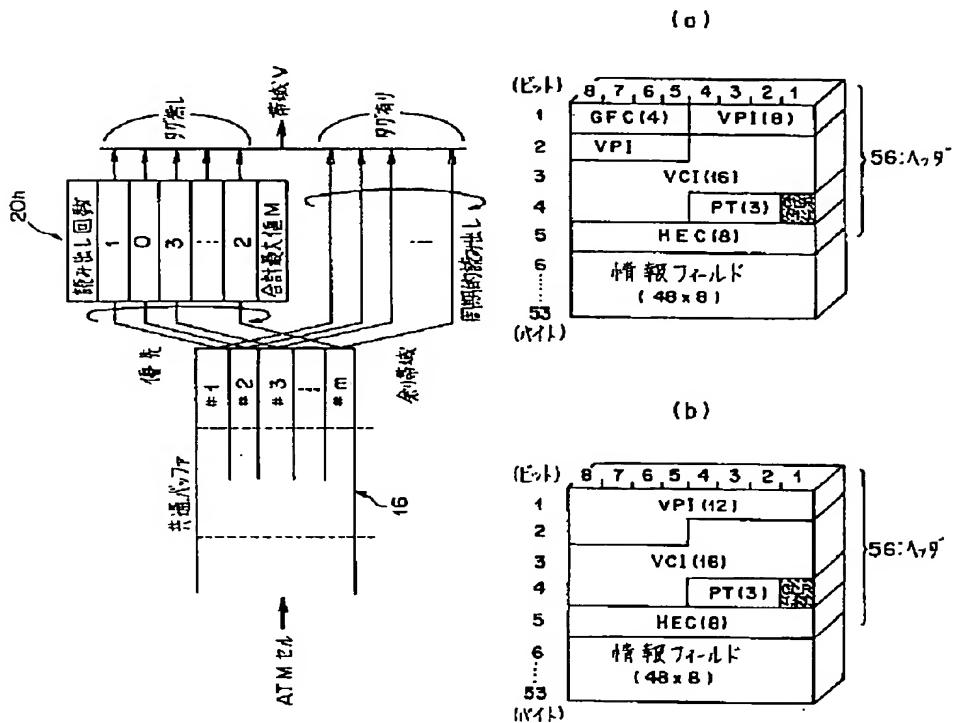
【図 2 8】

【図 2 9】

【図 3 6】

第 8 変形例の読み出し制御部の動作を説明するための模式図 ATMセルのフォーマットを示す図

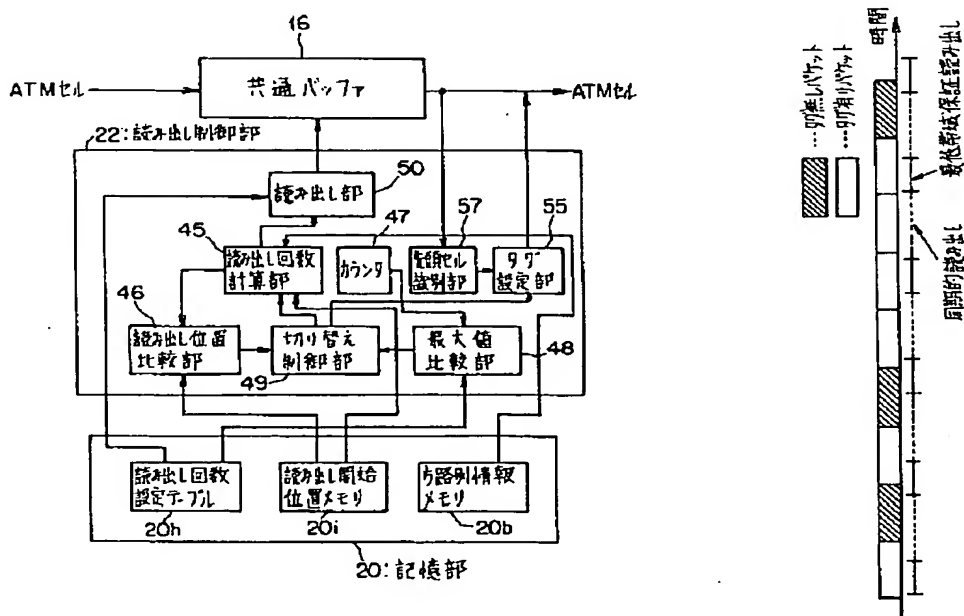
共通バッファ方式を説明するためのブロック図



【図 3 0】

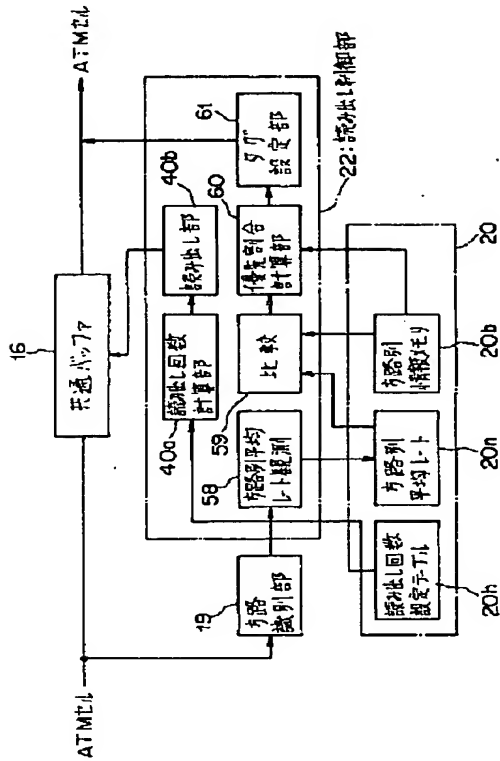
【図 3 1】

本実施形態の読み出し制御部の第 9 変形例を示すブロック図 第 9 変形例の読み出し制御部の動作を説明するための模式図



【図 3 2】

本実施形態の読み出し制御部第10変形例を示すブロック図



【図 3 3】

第10変形例の読み出し制御部の動作を説明するための模式図



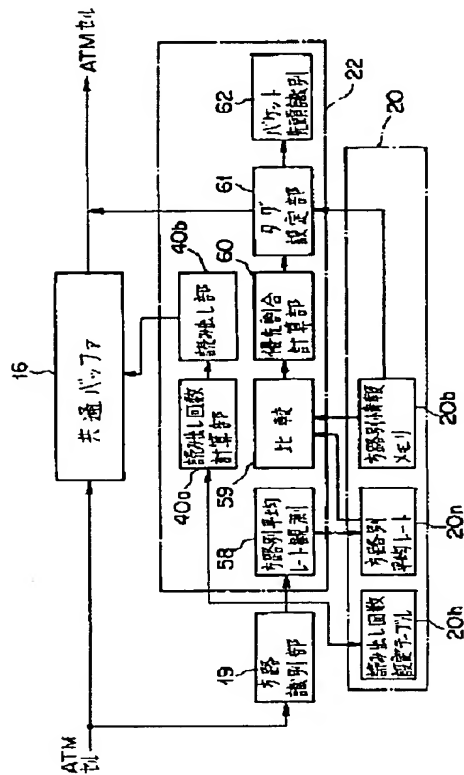
【図 3 5】

第11変形例の読み出し制御部の動作を説明するための模式図



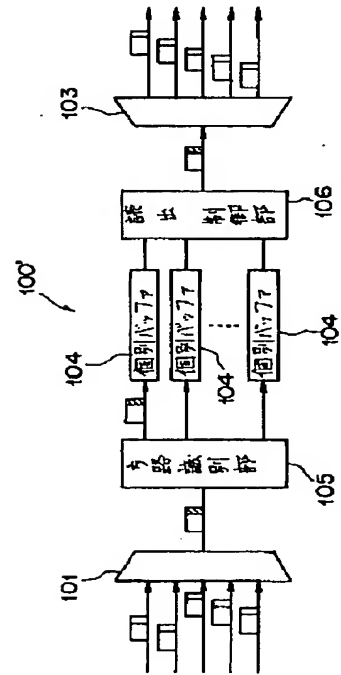
【図 3 4】

本実施形態の読み出し制御部の第 1 変形例を示すブロック図



【図 3 7】

個別ページ方式を説明するためのブロック図



フロントページの続き

- (72)発明者 奥田 将人
神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号 富士通株式会社内
- (72)発明者 田中 淳
神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号 富士通株式会社内
- (72)発明者 石原 智宏
神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号 富士通株式会社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.